

ZÁPADOČESKÁ UNIVERZITA V PLZNI

---

Fakulta elektrotechnická  
Katedra elektroniky a informačních technologií

# DIPLOMOVÁ PRÁCE

Měření analogových veličin v trakčních zařízeních

Autor práce: **Bc. David Bartůněk**  
Vedoucí práce: **Ing. Kamil Kosturik Ph.D.**

---

2022

ZÁPADOČESKÁ UNIVERZITA V PLZNI  
Fakulta elektrotechnická  
Akademický rok: 2021/2022

# ZADÁNÍ DIPLOMOVÉ PRÁCE

(projektu, uměleckého díla, uměleckého výkonu)

Jméno a příjmení: **Bc. David BARTŮNĚK**  
Osobní číslo: **E20N0048P**  
Studijní program: **N0714A060013 Elektronika a informační technologie**  
Specializace: **Elektronika**  
Téma práce: **Měření analogových veličin v trakčních zařízeních**  
Zadávající katedra: **Katedra elektroniky a informačních technologií**

## Zásady pro vypracování

1. Uvedte možnosti přenosu analogových veličin v silně zarušeném prostředí trakčních zařízení na vzdálenosti do 20m.
2. Stanovte parametry decentralizovaného systému pro zpracování 16 analogových signálů s frekvencí do 100 kHz a rozlišením minimálně 12 bitů.
3. Realizujte měřicí systém obsahující centrální jednotku pro digitální zpracování signálů založenou na FPGA s možností připojení až 16 vzdálených převodníků analogové veličiny.
4. Zhodnotte navržené zařízení (případně uveďte možnosti dalšího vylepšení či rozšíření).

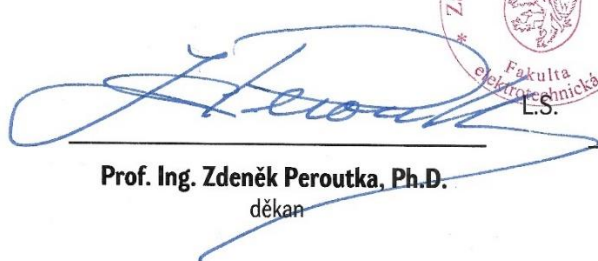
Rozsah diplomové práce: **40 – 60 stran**  
Rozsah grafických prací: **dle doporučení vedoucího**  
Forma zpracování diplomové práce: **elektronická**



Seznam doporučené literatury:

Pinker J., Poupa M.: Číslicové systémy a jazyk VHDL. Monografie, BEN – technická literatura, Praha, 2006, 352 s. ISBN 80-7300-198-5.

Vedoucí diplomové práce: **Ing. Kamil Kosturik, Ph.D.**  
Katedra elektroniky a informačních technologií

Datum zadání diplomové práce: **8. října 2021**  
Termín odevzdání diplomové práce: **26. května 2022**

  
**Prof. Ing. Zdeněk Peroutka, Ph.D.**  
děkan

  
  
**Doc. Ing. Jiří Hammerbauer, Ph.D.**  
vedoucí katedry

V Plzni dne 8. října 2021

## **Abstrakt**

V diplomové práci jsou nejprve popsány principy přenosu digitálního signálu v zarušeném prostředí, jejich typy a zabezpečení. Dále je pozornost věnována vývoji centrální jednotky na platformě FPGA, kam lze připojit až 16 vzdálených převodníků analogové veličiny. O měření analogové veličiny, její zpracování a zabezpečení se stará jednotka založená na MCU. Přenos mezi centrální jednotkou a vzdáleným převodníkem tvořeným z MCU se stará sběrnice RS485.

## **Klíčová slova**

FPGA, RS485, ADC, MCU, elektromagnetické rušení

## **Abstract**

The diploma thesis first describes the principles of digital signal transmission in a electromagnetic noise environment, their types and security. Next, attention is paid to the development of a central unit on the FPGA platform, where up to 16 remote analogue transducers can be connected. The measurement of the analogue quantity, its processing and security are taken care of by the MCU-based unit. The transmission between the central unit and the remote converter consisting of MCUs is handled by the RS485 bus.

## **Key words**

FPGA, RS485, ADC, MCU, electromagnetic noise

## **Prohlášení**

Prohlašuji, že jsem tuto diplomovou práci vypracoval samostatně, s použitím odborné literatury a pramenů uvedených v seznamu, který je součástí této diplomové práce.

Dále prohlašuji, že veškerý software, použitý při řešení této diplomové práce, je legální.

.....  
podpis

V Plzni dne 14.5.2022

Jméno příjmení

# Obsah

Úvod.....	- 1 -
1 Teoretický obsah.....	- 2 -
1.1 Rušení v trakčních zařízeních .....	- 2 -
1.1.1 Ochrana zařízení proti elektromagnetickému rušení .....	- 2 -
1.2 Přenos analogového signálu .....	- 3 -
1.3 Přenos digitálního signálu .....	- 5 -
1.3.1 OSI model .....	- 6 -
1.3.2 Topologie sítí .....	- 7 -
1.4 Protokoly pro přenos .....	- 9 -
1.4.1 RS422/RS485.....	- 10 -
1.5 Zabezpečení přenosu informace.....	- 11 -
1.5.1 Parita .....	- 12 -
1.5.2 Cyklický redundantní součet (CRC).....	- 12 -
2 Stanovení podmínek .....	- 15 -
3 Návrh obvodového schématu .....	- 17 -
3.1 Měřicí deska .....	- 18 -
3.1.1 Popis konektorů .....	- 18 -
3.1.2 Napájecí část .....	- 19 -
3.1.3 Měření analogové veličiny.....	- 22 -
3.1.4 Mikrokontrolér.....	- 23 -
3.1.5 Sběrnice RS485.....	- 25 -
3.1.6 Komunikace po optice .....	- 25 -
3.2 Interface mezi sběrnici a FPGA .....	- 27 -
3.2.1 Popis konektorů .....	- 27 -
3.2.2 Napájecí část .....	- 30 -
4 Firmware pro mikrokontrolér .....	- 31 -
4.1 Konfigurace MCU.....	- 31 -
4.1.1 Nastavení rozvodu hodinového signálu .....	- 31 -

4.1.2	Nastavení UART periférií.....	- 31 -
4.1.3	Rozložení pinů .....	- 32 -
4.1.4	Nastavení periférie SPI .....	- 33 -
4.1.5	Nastavení CRC periférie .....	- 34 -
4.1.6	Nastavení TIMx periférie.....	- 34 -
4.2	Firmware pro MCU .....	- 35 -
5	Firmware pro FPGA .....	- 36 -
5.1	Taktování jádra.....	- 37 -
5.2	Modul na příjem sériových dat .....	- 37 -
5.3	Modul na spojení bytů.....	- 38 -
5.4	Modul na výpočet CRC.....	- 39 -
5.5	Modul na výpočet chyb .....	- 39 -
5.6	Modul na vybrání kanálu.....	- 40 -
5.7	Modul double-dabble .....	- 40 -
5.8	Modul segment.....	- 41 -
6	Návrh DPS a praktická realizace .....	- 42 -
7	Testování .....	- 44 -
7.1	Testování sběrnice a přijímání dat v FPGA .....	- 44 -
7.2	Testování EMC .....	- 46 -
8	Závěr.....	- 49 -
	Literatura.....	- 50 -
	Přílohy.....	I



## Seznam symbolů a zkratk

<b>Značka</b>	<b>Popisek</b>
<i>ADC</i>	Analogově digitální převodník (Analog to Digital converter)
<i>MCU</i>	Mikroprocesorová jednotka (Microcontroller unit)
<i>FPGA</i>	Programovatelné hradlové pole (Field Programmable Gate Array)
<i>UART</i>	Asynchronní přijímač/ vysílač (Universal asynchronous receiver-transmitter)
<i>CAN</i>	Sběrnice (Controller Area Network)
<i>PLL</i>	Fázový závěs (Phase-locked loop)
<i>QPK</i>	Kvazišpičkový detektor (Quasi-peak detector)

## Seznam obrázků

Obr. 1.: Vhodné zapojení k potlačení elektromagnetického rušení [2] .....	- 3 -
Obr. 2.: Zobrazení spojitého analogového signálu v časové oblasti [3] .....	- 3 -
Obr. 3.: Zobrazení digitálního signálu v časové oblasti [3] .....	- 6 -
Obr. 4.: OSI model .....	- 6 -
Obr. 5.: Topologie sítě .....	- 7 -
Obr. 6.: Provedení linky RS422 .....	- 10 -
Obr. 7.: Provedení linky RS485 .....	- 10 -
Obr. 8.: Sériový výpočet CRC vycházející z LFSR .....	- 13 -
Obr. 9.: Blokové schéma CRC diagramu [6] .....	- 14 -
Obr. 10.: Blokové schéma celého systému .....	- 16 -
Obr. 11.: Blokové schéma měřicí desky .....	- 18 -
Obr. 12.: Schéma zapojení filtrů a ochran .....	- 21 -
Obr. 13.: Schéma napájecí části .....	- 22 -
Obr. 14.: Zapojení ADC převodníku .....	- 23 -
Obr. 15.: Externí reference pro ADC převodník .....	- 23 -
Obr. 16.: Připojená zařízení na konektor ST morpho, které je součástí vývojového kitu NUCLEO-G491RE .....	- 24 -
Obr. 17.: Obvodové schéma sběrnice RS485 .....	- 25 -
Obr. 18.: Obvodové schéma optického rozhraní .....	- 25 -
Obr. 19.: Blokové schéma interface .....	- 27 -
Obr. 20.: Schéma zapojení napájecího zdroje pro interface .....	- 30 -
Obr. 21.: Nastavení periferie UART, kde a) je pro LPUART1 a b) pro USART1 ..	- 32 -
Obr. 22.: Rozložení pinů MCU .....	- 33 -
Obr. 23.: Nastavení SPI periferie .....	- 34 -
Obr. 24.: Nastavení CRC periferie .....	- 34 -
Obr. 25.: Nastavení TIM3 .....	- 35 -
Obr. 26.: Ukázka jednoho vstupního kanálu (struktura pokud je použit výčet pomocí řídícího systému) .....	- 37 -
Obr. 27.: Blokové schéma, pokud jsou data dále zpracovávána pomocí vývojového kitu .....	- 37 -
Obr. 28.: Přední strana interface karty .....	- 42 -
Obr. 29.: Přední strana měřicí karty .....	- 43 -

Obr. 30.: Zadní strana měřicí karty .....	- 43 -
Obr. 31. Zapojení jednotek mezi sebou + ukázka měření na měřicí jednotce.....	- 44 -
Obr. 32.: Kmitající přenos na sériové sběrnici (měřeno u FPGA) .....	- 45 -
Obr. 33.: Upravený signál bez překmitů.....	- 45 -
Obr. 34.: Přenášená data .....	- 46 -
Obr. 35.: Zpracovaná data v FPGA zobrazení v Quartusu .....	- 46 -
Obr. 36.: Emise šířené po vedení .....	- 47 -
Obr. 37.: Připravené měření na měření emisí vzduchem.....	- 48 -
Obr. 38.: Emise šířené vzduchem .....	- 48 -

## Seznam tabulek

Tabulka 1.: Tabulka s ukázkou několika generujících polynomů .....	- 12 -
Tabulka 2.: Napájecí konektor .....	- 18 -
Tabulka 3.: Konektor na přenos dat po sběrnice RS485.....	- 19 -
Tabulka 4.: Konektory pro připojení generátoru signálu.....	- 19 -
Tabulka 5.: Konektory optického vstupu a výstupu .....	- 19 -
Tabulka 6.: Konektor pro připojení napájecího napětí .....	- 27 -
Tabulka 7.: Konektor pro připojení 15-ti samostatných kanálu měření .....	- 28 -
Tabulka 8.: Konektor mezi interfacem a vývojovým kitem Altera Cyclone IV.....	- 28 -
Tabulka 9.: Konektor mezi interfacem a řídicím systémem.....	- 29 -
Tabulka 10.: Konektory optického vstupu a výstupu .....	- 29 -
Tabulka 11.: Signály modulu PLL.....	- 37 -
Tabulka 12.: Signály modulu RX .....	- 38 -
Tabulka 13.: Signál modulu convert_byteTo4Byte .....	- 38 -
Tabulka 14.: Signály modulu CRC.....	- 39 -
Tabulka 15.: Signály modulu vypocet_chyb .....	- 39 -
Tabulka 16.: Signály modulu multiplexoru .....	- 40 -
Tabulka 17.: Signály modulu double-dabble.....	- 40 -
Tabulka 18.: Signály modulu segment .....	- 41 -

## Úvod

Důležitou součástí pro řízení elektrických systémů je zpětná vazba. Ta je nejčastěji tvořena senzorem, který na svém vstupu detekuje fyzikální, chemickou, nebo biologickou veličinu, kterou dokáže přeměnit na jinou formu. Ve většině případů se jedná o elektrický spojitý signál. Abychom takovýto signál dokázali zpracovat a přenést v silně elektromagneticky zarušeném prostředí, je velmi důležité ho převést na signál kterému takovéto podmínky nebudou vadit.

S příchodem číslicového zpracování, je ve většině případů volen přenos digitální, který lze nejen jednoduše zpracovávat, ale lze ho i zabezpečit proti nepříznivým vlivům. Abychom takovýto signál dokázali vytvořit a přenést, je potřeba vytvořit měřicí a přenosový řetězec založený z několika klíčových součástí, které jsou popisovány v rešeršní části této diplomové práce.

V praktické části se věnuji vytvoření zařízení, které na jedné straně bude měřit elektrický spojitý signál, převádět ho na signál digitální a pomocí sběrnice bude přenášen v zarušeném prostředí do maximální vzdálenosti 20 m. Na druhé straně se o příjem bude starat a zpracovávat centrální jednotka založena na FPGA. K centrální jednotce budeme moci připojit až 16-náct vzdálených jednotek měřící elektrický analogový signál.

-

# 1 Teoretický obsah

## 1.1 Rušení v trakčních zařízeních

Při přenosu naměřených veličin v trakčních zařízeních nám do kvality přenosu vstupuje jedna velmi nemilá část, a to je elektromagnetická interference, neboli elektromagnetické rušení. Elektromagnetické rušení je spojováno se stále se zrychlujícími informačními technologiemi a se stále rychlejšími a preciznějšími zařízeními výkonové elektrotechniky. Z toho důvodu je elektromagnetická kompatibilita kritickým problémem a musí být od počátku zakomponována do nových návrhů elektrických zařízeních železničního, potažmo trakčního systému, aby nedocházelo k výpadkům měření důležitých veličin, které mohou mít například vliv na bezpečnost trakčního/ železničního vozidla. Elektromagnetické rušení se v trakčních zařízeních nachází ve velmi širokém pásmu, kde zdroj rušení může pocházet od napájecích systémů, signalizačních a řídicích systémů, nebo od jiných trakčních zařízeních. Hlavními zdroji EMI v trakčních zařízeních, stále zůstávají harmonické složky výkonových spínacích prvků, trakčních měničů, trakčních transformátorů, nebo obloukové výboje pantografů. Zejména už řečeny trakční měniče jsou jedny z nejvýznamnějších zdrojů harmonických rušení. [1]

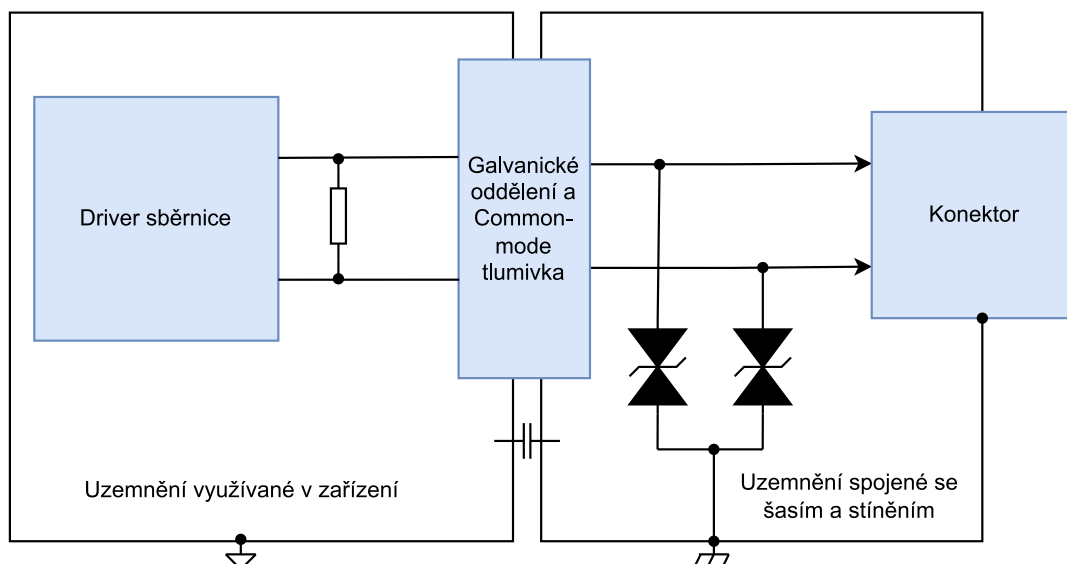
### 1.1.1 Ochrana zařízení proti elektromagnetickému rušení

Jak již bylo řečeno, datový přenos může narušit elektromagnetické rušení v takzvaném common-modu<sup>1</sup>, nebo differential-mode. Abychom ochránili komunikaci od poškození, nebo ztrátě dat, musíme komunikační linku nějakým způsobem ochránit. Za tímto účelem musíme vhodně nadimenzovat komunikační kanál a použít vhodné ochrany proti vysokonapěťovým výbojům jako jsou transily, TVS diody, nebo GDT ochrany<sup>2</sup>. K dalšímu zlepšení přenosu bychom docílili například vhodným použitím stíněného vodiče, výběru vhodných konektorů, použití oddělovacích transformátorů, použití tlumivek k potlačení rušení v common-modu a differential-modu atd.. Na *Obr. 1.* můžeme vidět, jak by takové zapojení proti odolnosti vůči elektromagnetickému rušení mohlo vypadat. [2]

---

<sup>1</sup> Na vodiče se naindukuje rušení, které je ve stejném směru mezi sebou.

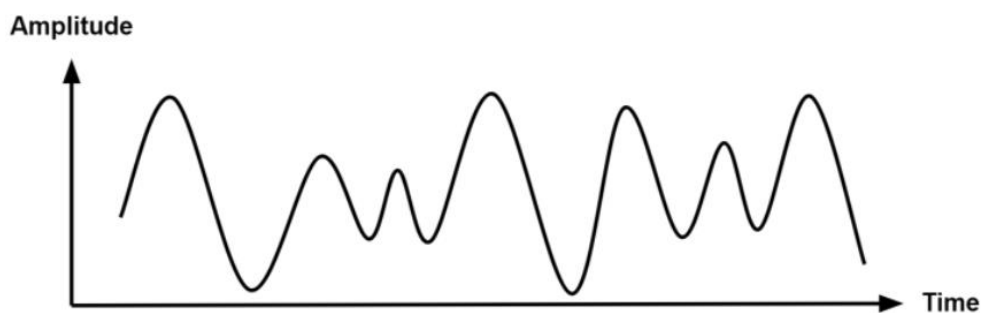
<sup>2</sup> Při výběru vhodné ochrany proti vysokonapěťovým výbojům nemůžeme brát pouze energii kterou dokáže součástka svést do uzemnění, ale musí brát také v úvahu rychlost jakou může součástka zareagovat na vysokonapěťový výboj a parazitní kapacitu součástky která negativně ovlivňuje rychlost přenosu. Hodnota kapacity TVS diody může být v rozmezí 100 až 1000 pF, zatímco GDT součástky mohou dosahovat pouze jednotek pF.



Obr. 1.: Vhodné zapojení k potlačení elektromagnetického rušení [2]

## 1.2 Přenos analogového signálu

Analogový signál je časově proměnný signál vázaný na určitý napěťový, nebo proudový rozsah<sup>3</sup> (typicky u napěťového v rozsahu např. -12 až 12 V, a u proudového 2 až 20 mA). V rámci tohoto rozsahu pak existuje nekonečný počet hodnot, které může systém nabývat. V případě přenosu lze měřenou veličinu přenášet změnou napětí daného systému, ale i proudem, frekvencí, nebo změnou fází signálu.



Obr. 2.: Zobrazení spojitého analogového signálu v časové oblasti [3]

### Analogový signál v EMI prostředí

Při přenosu analogového signálu v silně zarušeném prostředí je jedním nejdůležitějším kritériem zachovat integritu dat při jejich přenosu. Jestliže přenosový kanál přenáší velmi

<sup>3</sup> Typicky je napěťový rozsah je v rozmezí -12 až 12 V. Proudový je většinou od 2 do 20 mA. Proudový rozsah není typicky od 0 z toho důvody, abychom rozeznali, platné data od přerušení vodiče a tak zamezili chybě přenosu.

slabý napěťový signál, tak se nemůžeme vyhnout zhoršení kvality signálu z důvodu šumu jak samotných elektrických součástí, které zprostředkovávají samostatnou komunikaci, tak vlivu elektromagnetického rušení. Z důvodu šumu je schopnost identifikovat odesílanou zprávu na straně přijímače velmi složitá a omezuje se tím kvalita přenášených dat. Zda nám šum bude zhoršovat daný datový přenos závisí na poměru celkového výkonu signálu k celkové úrovni šumu. Tento poměr dále označujeme jako „Odstup signál-šum“<sup>4</sup>

Z důvodu vysokého rušení v průmyslových závodech a vůbec v zařízeních obsahující zařízení produkující velmi silné rušení se pro přenos analogových signálů začala využívat proudová smyčka s rozsahem 4-20 mA, která není tak náchylná k elektromagnetickému rušení jako signály napěťové<sup>5</sup>.

Jelikož přenos analogových signálů v silně zarušeném prostředí se stále používá, nezbyvá nám nic jiného než pečlivě chránit právě přenášený analogový signál. To můžeme docílit preciznějším návrhem vysílače a přijímače, kde můžeme zajistit lepší poměr SNR zvýšením vysílaného výkonu. Dalším krokem ke zlepšení přenosu by mohli být správně laditelné analogové filtry<sup>6</sup>, které by filtrovaly nechtěný vysokofrekvenční šum. Ke zlepšení přenosu také přispívá kvalitní výběr kabelů, které mohou být jak diferenciální, tak stíněný. Dalším zlepšením by bylo správné vedení datových linek, které by se neměli vést moc blízko silových kabelů a vůbec v blízkosti kabelů, které mohou působit na analogový signál rušivě. Zlepšení přenosu můžeme také docílit správným zemněním, abychom předešli zemním smyčkám<sup>7</sup>.

---

<sup>4</sup> Odstup signál-šum se ve většině literatury označuje jako SNR a ve většině případů ho vyjadřujeme v jednotce dB

<sup>5</sup> Princip zlepšení vycházel z toho, že elektromagnetické rušení má napěťový charakter, a pokud tedy do vodičů přenášející informaci navážeme elektromagnetické rušení, tak nedojde ke změně proudového signálu. Zatímco k přenosu napěťového signálu se elektromagnetické rušení přímo přičítá a vzniká nám mnohem větší chyba s menším poměrem SNR.

<sup>6</sup> Analogové filtry by byly typu dolní propust, aby mohli filtrovat vysokofrekvenční šum. Ve většině případů by nestačil filtr pouze prvního řádu, ale museli bychom realizovat filtr vyššího řádu.

<sup>7</sup> Tato smyčka by mohla vzniknout v důsledku nevhodného spojení zemního potenciálu v různých bodech systému.



### Výběr vhodného média pro přenos

Jak již bylo řečeno, velmi důležitým aspektem při přenosu analogového signálu je správný výběr kabelu k potlačení nežádoucích vlivů. Obvykle je analogový signál přenášen pomocí dvou, nebo třívodičového spojení, kde třetí vodič je obvykle volen jako stínící a je připojen k zemní svorce. Ta je ve většině případů spojena se šasím zařízení.

Nejčastějším médiem pro přenos analogového signálu se používá dvouvodičová linka bez třetího stínícího vodiče. Jelikož vodič přenáší analogový signál ve formě napětí nebo proudu, může se rušení naindukovat do obou vodičů najednou. Protože se vodiče nacházejí v různých vzdálenostech od sebe, vznikne na signálech šum, který nazýváme šum diferenciální. Abychom předešli k nežádoucímu ovlivnění přenášeného signálu, musíme zvolit jiný typ vodiče a to

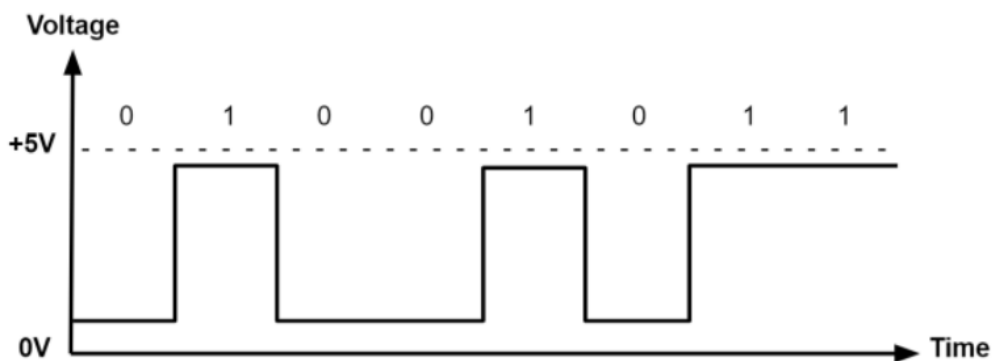
- Stíněný vodič – Vodič obsahující pár vodičů, které jsou zabaleny do stínění. Stínění je připojeno na zemní potenciál nejčastěji šasí zařízení.
- Kroucený pár – Z důvodu zkroucení vodičů v pravidelných intervalech se eliminuje rušivý signál z důvodu odečtení nežádoucích signálů od sebe.
- Koaxiální kabel – Skládá se z centrálního vodiče, izolace a pláště který chrání přenášený signál od rušení.

### 1.3 Přenos digitálního signálu

Digitální signál je signál, který představuje data jako posloupnost diskrétních hodnot. Digitální signál tak může v dané chvíli nabývat pouze jedné hodnoty z konečné množiny možných hodnot. Napětí digitálního signálu se většinou pohybuje v rozmezí mezi 0 až  $V_{cc}$ <sup>8</sup>.

---

<sup>8</sup> Obvykle jsou napěťové hladiny na úrovni 1V3, 3V3, nebo 5V



Obr. 3.: Zobrazení digitálního signálu v časové oblasti [3]

### 1.3.1 OSI model

OSI model (Open Systems Interconnect) je otevřený systém, který popisuje univerzální standart komunikačních protokolů. Cílem modelu je sjednotit a standardizovat jednotlivé komunikační protokoly do jednoho OSI modelu. Model rozděluje komunikační systém na sedm vrstev od nejnižší Fyzické vrstvy, až po tu nejvyšší Aplikační vrstvu.

#### OSI model



Obr. 4.: OSI model

Každá vrstva v modelu OSI má své vlastní přesně definované funkce a spolupracuje s vrstvou která je pod ní a nad ní. Tato diplomová práce se zabývá pouze Fyzickou a Datovou vrstvou, proto zde budou popsány pouze tyto dvě vrstvy.

- **Fyzická vrstva**

Fyzická vrstva je zodpovědná za přenos a příjem surových a nezpracovaných dat mezi zařízeními. Fyzická vrstva převádí digitální bity na elektrické, rádiové, nebo optické signály, dle protokolu specifikace Datové vrstvy. Fyzická vrstva pak definuje vlastnosti jako je úroveň napětí signálu, časování, rychlost přenosu, maximální přenosové rychlosti, maximální přenosové vzdálenosti, impedance vedení, specifikace kabelů, konektory, rozložení pinů atd. Fyzická vrstva také určuje režim přenosu jako je simplexní přenos, poloduplexní přenos, nebo plně duplexní přenos.

Specifikace fyzické vrstvy můžeme najít u přenosových protokolů jako je Ethernet, USB, CAN, RS232, RS485, a další.

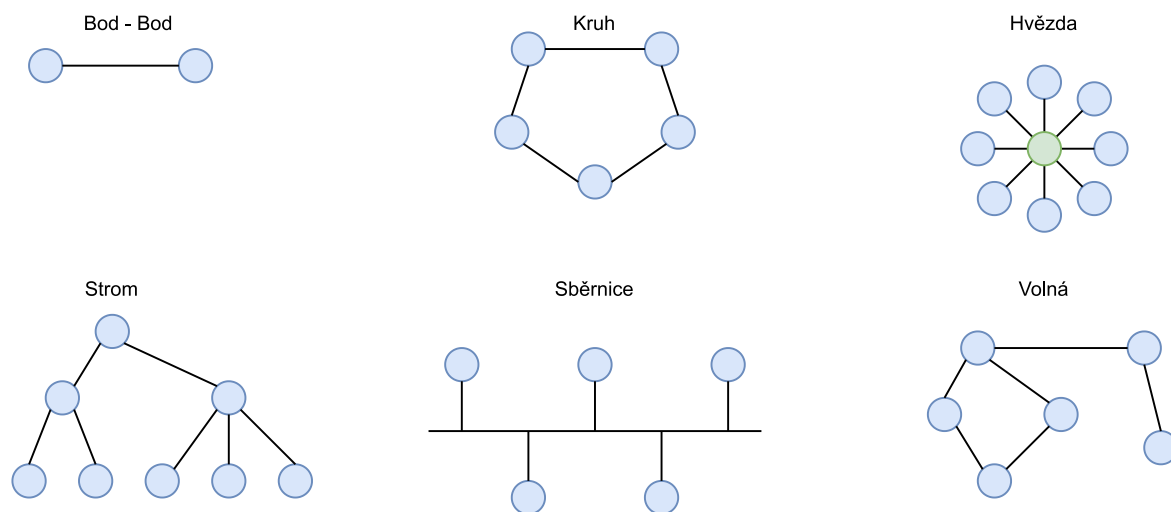
- **Datová vrstva**

Datová vrstva je druhá vrstva v modelu OSI a funguje na principu zpracování jak příchozích, tak odchozích dat. Datová vrstva má několik úkolů, bez kterých by nemohla komunikace fungovat.

- Vytváření rámců
- Rozpoznání začátku a konce rámce
- Adresování
- Synchronizování
- Kontrola chyb
- Způsob zabezpečení chyb
- Řízení toku zpráv

### 1.3.2 Topologie sítí

Topologie sítí označuje způsob připojení jednotlivých bodů do sítě. Nejběžnějšími topologiemi je dvoubodový spoj, kruh, hvězda, strom, sběrnice, nebo volná topologie. [4]



Obr. 5.: Topologie sítí

#### a) Sběrniceová topologie

Ve sběrniceové topologii je jeden hlavní kabel a všechna zařízení jsou k němu připojena pomocí přívodních vedení (takzvaně odbočky). Jelikož všechna zařízení přenášejí své data po jednom kabelu, existuje proto omezený počet připojených zařízení a

vzdálenost vedení, kterou může hlavní kabel mít. Zakončení sběrnice je realizováno pomocí terminátorů, které zabraňují zpětnému odražení signálu.

**Výhody:**

- Jednoduchá realizace a instalace dalších zařízení
- Zapotřebí méně kabelů než jiné topologie

**Nevýhody:**

- Obtížná detekce chyb a závad. Pokud nastane problém s hlavním kabelem, vypadne celá síť
- Nelze topologie rozšiřovat do nekonečna a existuje omezený počet zařízení, které lze připojit na hlavní vedení.
- V jeden okamžik lze poslat pouze jednu informaci
- Malá přenosová rychlost

**b) Kruhová topologie**

V kruhové topologii je každé zařízení připojeno vždy se dvěma postranními zařízeními a navenek tak tvoří uzavřený kruh. Pokud chce zařízení poslat data jinému zařízení, pošle je vždy jedním směrem. V síti si mohou data přecíst jen ty stanice, kterým jsou data určena. Pokud data nejsou určena stanici kam dorazila, stanice zopakuje přenos.

**Výhody:**

- Snadná instalace
- Jednodušší správa, z důvodu že k přidání nebo odebrání je třeba změnit pouze dva spoje
- Nevznikají kolize, protože data kolují pouze jedním směrem
- Není potřeba zakončovacích terminátorů

**Nevýhody:**

- Výpadek spoje způsobí výpadek celé sítě
- Problémy s datovou rychlostí, z důvodu oběhu dat přes všechny uzly
- Složitě najít a odstranit závadu
- Při připojení nového zařízení je potřeba odstavit celou síť

### c) Hvězdicová topologie

V hvězdicové topologii je každé zařízení připojeno k centrálnímu zařízení pomocí samostatných kabelů. Pokud se přeruší některé spojení, nedojde tak k výpadku celé sítě, ale pouze k odpojení jednoho zařízení.

#### Výhody:

- Robustnost, selhání jednoho zařízení nevyřadí celou síť z provozu
- Nedochozí ke kolizi dat
- Snadné detekce poruchy a její oprava
- Snadná instalace nových zařízení

#### Nevýhody:

- Vyšší spotřeba kabelů
- Při selhání centrálního zařízení dochází k selhání celé sítě

### d) Mesh topologie

Jedná se o topologii, ve které je každé zařízení propojené s každým. Výhodou je velká spolehlivost při výpadku jednoho spojení. Nevýhodou pak je velká spotřeba kabelů na realizaci sítě.

### e) Stromová topologie

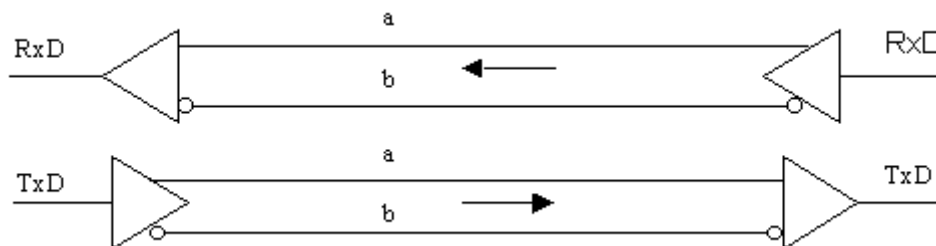
Stromová topologie je složením několika hvězdicových topologií, kde jejich centrální zařízení je vzájemně propojené. Výhody a nevýhody jsou pak stejné jako u hvězdicové topologie.

## 1.4 Protokoly pro přenos

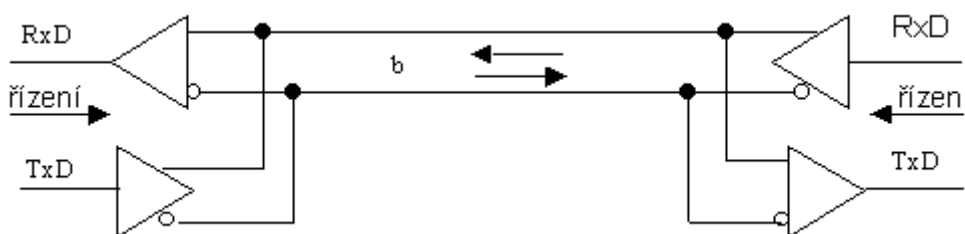
V aplikacích s velkým elektromagnetickým rušením je velmi klíčové navrhnout komunikační systém tak, aby přenášená data byly co nejméně ovlivňována vnějším rušením. Z tohoto důvodu je velmi důležité vybrat fyzické médium po kterém se bude komunikovat a vhodný komunikační protokol. Existuje mnoho komunikačních protokolů, které se pro tento účel využívají jako je RS485/RS422, Ethernet, nebo CAN.

### 1.4.1 RS422/RS485

RS422/RS485, je standart definovaný organizací (TIA/EIA). Komunikační protokol je založen na diferenciální sběrnici, kterou lze provozovat na velké vzdálenosti a ve velmi zarušeném prostředí.



Obr. 6.: Provedení linky RS422



Obr. 7.: Provedení linky RS485

Jak můžeme vidět z obrázků, rozdíl mezi protokoly RS422 a RS485 je v topologii linky. Zatímco sběrnice RS422 má jeden pár vodičů na vysílání data a jeden pár vodičů na přijímání data, tak sběrnice RS485 využívá jeden pár vodičů jak na přijímaná data, tak na data vysílaná.

#### Fyzická vrstva RS485

Fyzická vrstva RS485 v modelu OSI definuje vlastnosti zařízení vykonávající datový přenos a vlastnosti fyzického média kde je přenos uskutečněn. RS485 využívá přenosu po krouceném diferenciálním páru. Zakončení linky musí být shodné se samostatnou impedancí vedení, aby se zabránili odrazům. Hodnota zakončovacích odporů se v drtivé většině případů volí  $120 \Omega$  na každé straně vedení.

Jednou z hlavních výhod definice fyzické vrstvy RS485 je specifikace napětí na sběrnici. Sběrnice nevyžaduje použití konkrétního napětí, ale místo toho specifikuje minimální požadované rozdílné napětí mezi signálem "A" a "B". Jelikož jsou data přenášena bez referenční země, tak logickou úroveň musíme vyhodnotit z rozdílu napětí mezi párem signálů, který se skládá z invertovaného a neinvertovaného signálu. Minimální rozdílové napětí je definováno v rozmezí  $\pm 200 \text{ mV}$  na přijímací straně. Přestože na přijímací straně

je rozdíl napětí definován, na vysílací straně může vysílač operovat s různými hladinami napětí od -7 až do 12 V.

$$A - B < -0,2 V = OFF = \textit{logická 1} \quad (1)$$

$$A - B > +0,2 V = ON = \textit{logická 0} \quad (2)$$

Další definované vlastnosti jsou přenosové rychlosti, které mohou být až 35 Mb/s, nebo délka vedení, která může dosahovat vzdálenosti 1200 m. Tyto maximální hodnoty však nejsou splnitelné najednou. Vlastnost, kterou již norma nespecifikuje je například požadovaný konektor, nebo požadavky na přenosový protokol, avšak velmi často můžeme vidět použití RS485 spojený s datovým protokolem UART.

#### **Ochrana proti přechodovým dějům pro sběrnici RS485**

Abychom ochránili komunikaci proti přechodovým dějům, je zapotřebí pečlivý návrh ochrany na vstupní a výstupní straně komunikace. Tuto ochranu lze zabezpečit použitím několika součástek vhodně zapojených do obvodu viz. kapitola 1.1.1. [5]

### **1.5 Zabezpečení přenosu informace**

Jelikož data nepřenášíme v ideálním prostředí, může docházet k takzvaným chybám přenosu. Příjemce tak přijímá jiné znaky, než odesílatel odeslal. To může být způsobeno například rušením, které daný přenosový kanál ovlivňuje. Pokud chceme předejít těmto chybám a data poškozená objevit, nebo i opravit, musíme k našim datům přidat nějakou formu bezpečnostního kódu. Existuje mnoha metod, jak naše data zabezpečit, kde jedna z nejjednodušších metod je použití parity, nebo složitějších jako je Kontrolní součet (Checksum), nebo použití Cyklického redundantního součtu (CRC).

Bezpečnostní kódy lze také dělit na kódy:

- Detekční – error-detection code. Kódy umožňují pouze rozeznat (detekovat) chybu.
- Samoopravitelné - self-correcting code. Kódy které detekují chybu, a umožňují i v určitých případech špatně přijatý znak opravit.

### 1.5.1 Parita

Paritní bit se připojuje k výstupnímu řetězci. Jeho hodnota se buď nastavuje na log.1, nebo log.0. Hodnota paritního bitu je dána celkovým počtem log.1 nebo log.0 ve výstupním slově. Rozlišujeme tak lichou a sudou paritu. Lichá parita znamená, že výstupní řetězec obsahuje lichý počet jedniček, sudá parita zas naopak sudý počet jedniček. Výsledek se počítá i se samotným paritním bitem.

Účelem paritního bitu je poskytnout jednoduchý způsob kontroly chyb. Při přenosu dat se stává, že se data díky rušení zaruší a změní tak svůj stav z log.1 na log.0 nebo naopak. Kontrola pomocí parity může některé z těchto chyb odhalit. Například pro kontrolu binární posloupnosti se sudou paritou lze spočítat celkový počet jedniček. Pokud počet jedniček není sudý, pravděpodobně došlo k chybě. Nevýhodou kontroly chyb pomocí parity je, že dokáže odhalit pouze lichý počet chyb. Pokud se změní sudý počet bitů, detekce pomocí parity už tuto chybu nezaznamená.

### 1.5.2 Cyklický redundantní součet (CRC)

Cyklický redundantní součet, neboli CRC je hašovací funkce, která slouží k zabezpečení digitálních dat při jejich přenosu fyzickým médii, nebo při jejich ukládání. Kvůli své jednoduchosti a nenáročnosti výpočtu je velmi rozšířen při detekci chyb v digitálních signálech.

V současné době existuje více variant výpočtu CRC, ale nicméně konečný výpočet probíhá stejným principem. CRC se počítá dělením dvou polynomů, kde první polynom jsou vstupní data  $M(x)$  (dělenec  $M(x)$ ). Druhý polynom je předem nadefinovaný řetězec, neboli klíč (dělitel  $G(x)$ ). Polynom  $G(x)$  předepisuje komunikační protokol, který je při přenosu použit. Výsledný kód CRC bude právě jejich zbytek po dělení (polynom  $R(x)$ ). Pravděpodobnost odhalení a opravy chyby roste se zvolenou šířkou klíče polynomu  $G(x)$ .

**Tabulka 1.: Tabulka s ukázkou několika generujících polynomů**

Algoritmus	Generující polynom	Inicializační hodnota
CRC-8/MAXIM	0x31	0x00
CRC-16/USB	0x8005	0xFFFF
CRC-32/Ethernet	0x4C11DB7	0xFFFFFFFF

Začátek zabezpečení dat probíhá už na straně vysílače, kde je spočítán takzvaný cyklický redundantní součet. Ten je společně s platnými daty vyslán na stranu přijímače, kde je znova



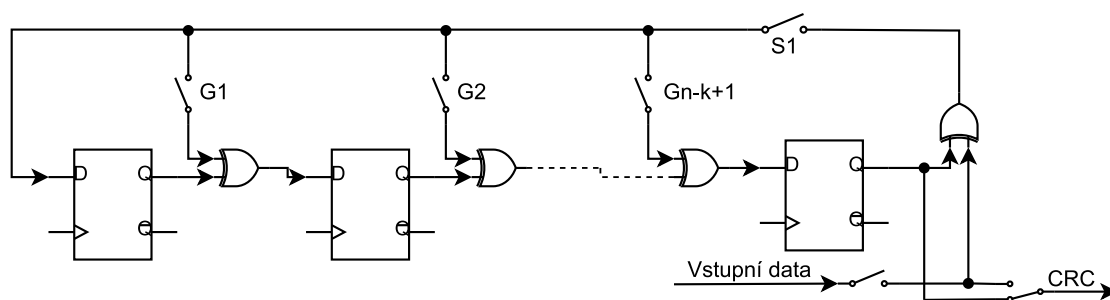
nezávisle spočítán se stejným polynomem  $G(x)$ . Pokud je výsledek na straně přijímače stejný jako příchozí CRC, data přišli bez porušení. Jestliže výsledek bude odlišný, je vyvozen předpoklad, že došlo k chybě přenosu. Pokud je CRC dostatečně dlouhé, lze pomocí výpočtu digitální data opravit.

### Výběr generujícího polynomu

I když se průběh výpočtu CRC nemění, generující polynomy  $G(x)$  se mohou protokol od protokolu lišit. Struktura a délka polynomu mají velký vliv na schopnost detekce chyb a velikost redundance. Použité CRC má v různých oblastech různé nároky na předešlé schopnosti.

### Přímá metoda po bitech

Metoda XOR se při výpočtu kontrolního součtu přesně drží základní matematiky definované pro CRC. Tato metoda dělí přicházející data po jednom bitu, známým fixním polynomem v aritmetice  $mod2$ . Jelikož nejsou uplatněny žádné další optimalizace, tak tato metoda je velmi pomalá. Výpočet CRC lze implementovat pomocí několika posuvných registrů a několika hradel XOR (záleží na délce CRC). Princip výpočtu vychází z LFSR (Linear Feedback Shift Register).



Obr. 8.: Sériový výpočet CRC vycházející z LFSR

Pokud chceme zvýšit datovou propustnost, musíme zvýšit i taktovací frekvenci číslicového obvodu. Jestliže taktovací frekvenci už nelze zvyšovat, musíme efektivitu výpočtu CRC zabezpečit jinak, a to například paralizací algoritmu.

### Paralelní výpočet CRC pomocí tabulkové metody

Abychom proces výpočtu CRC urychlili, musíme zpracovávat více bitů najednou. K tomuto nám slouží paralelní algoritmy ke zpracování CRC. Existuje nepřeborné množství paralelních algoritmů, které lze použít (např. Hybridní metoda, Maticová transformace založena na Galoisových polích, nebo Tabulková metoda). Například Tabulková metoda nezpracovává jednotlivé bity postupně, ale zpracuje celý  $N$  vstupní byte najednou. Princip je založen na vyhledávání v paměti, předem vypočítaných zbytků po dělení. Zbytky

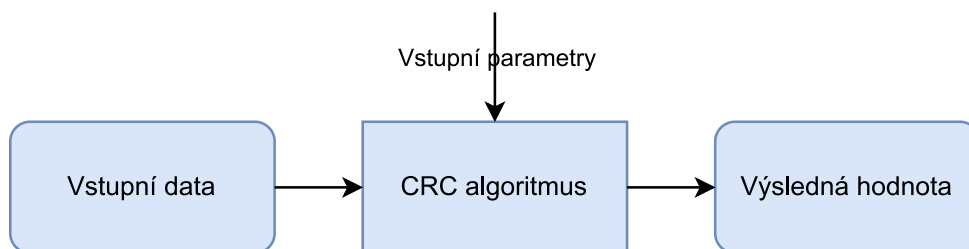
všemožných kombinacích vstupních data jsou uloženy v LUT tabulce, nebo ROM paměti. Pomocí algoritmu se nám stačí podívat do LUT tabulky s příslušným indexem a přečíst si pouze výsledek bez nutnosti výpočtu. Velikost paměti závisí na vstupní šířce dat  $M$  a délce kontrolní sekvence  $N$ . Například pokud budeme uvažovat 8-bitová vstupní data ( $M = 8$ ) a protokol který využívá 32 bitový generující polynom ( $N = 32$ ). Je velikost potřebné paměti.

$$Memory = N \cdot 2^M = 32 \cdot 2^8 = 8192 \text{ bitů} = 1 \text{ kB} \quad (3)$$

Jak můžeme vidět, při vstupní šířce sběrnice 8-bitů a generujícím polynomu 32-bitů, nám vyšla velikost paměti 1 kB. Pokud bychom chtěli rozšířit vstupní sběrnici na  $M = 16$  bitů, velikost paměti by tak vzrostla na 262 kB. Z tohoto výpočtu můžeme tak usoudit, že implementace tabulkové metody na široké sběrnice, bude nevhodné.

### HW implementace CRC v procesorech STM32G4x

Procesory STM21G4xx od firmy STMicroelectronics obsahují hardwarovou podporu výpočtu CRC, která je provedena pomocí XOR techniky. Vstupní parametry této techniky jsou pouze vstupní data  $M(x)$  a generující se polynom  $G(x)$ . Při výpočtu si uživatel může zvolit délku generující se polynomu z předem připravených CRC7, CRC8, CRC16, CRC32, kde koeficienty jsou plně programovatelné. Délka výpočtu závisí pouze na délce vstupních dat. Ve zdroji [6] bylo provedeno srovnání výpočtu rychlosti CRC pomocí implementace v hardwarové periférie a pomocí softwarového algoritmu. Výsledek byl na straně HW periférie, která dokázala výpočet CRC zvládnout 60x rychleji než SW algoritmus. Abychom nezatěžovali procesor, lze použít DMA periférii.



Obr. 9.: Blokové schéma CRC diagramu [6]

## 2 Stanovení podmínek

Jelikož má Diplomová práce probíhá ve firmě Škoda Electric a.s., byla potřeba si na začátku vývoje stanovit podmínky a architekturu systému, kterého se budu v průběhu vývoje zařízení držet. Základní architektura bude postavena na decentralizovaným systémem, který bude zpracovávat 16 nezávislých kanálů. Kanály budou zapojeny do hvězdicové topologie, kde o vyhodnocování a řízení se bude starat centrální jednotka založena na FPGA.

Výsledkem budou 2 samostatné jednotky, kde jedna se bude starat o měření a druhá bude použita jako interface mezi sběrnici RS485 a FPGA.

### **Měřicí zařízení:**

O měření analogových veličin se bude starat A/D převodník s minimálním rozlišením 12 bitů a vzorkovací frekvencí 100 kHz. O řízení A/D převodníku a výpočtu CRC se bude starat mikrokontrolér firmy STMicroelectronics a to mikrokontrolér řady ST32Gxxx. Přenos bude zajištěn pomocí sériové sběrnice RS485. Sběrnice a napájení bude galvanicky odděleno. Měřicí zařízení bude napájeno z laboratorního zdroje o jmenovité hodnotě 24 V.

### **Interface:**

Interface bude sloužit pouze k připojení 16-nácti nezávislých měřících kanálů a bude upravovat signál ze sběrnice RS485 na výstupní signál o jmenovité hodnotě 3V3. Konstruktivně bude PCB řešeno tak, aby se dalo nasadit na již používanou kartu v řídicím systému ve Škodě Electric, tudíž je stanovena jak velikost DPS, tak rozmístění konektorů.

### **Přenosový kanál:**

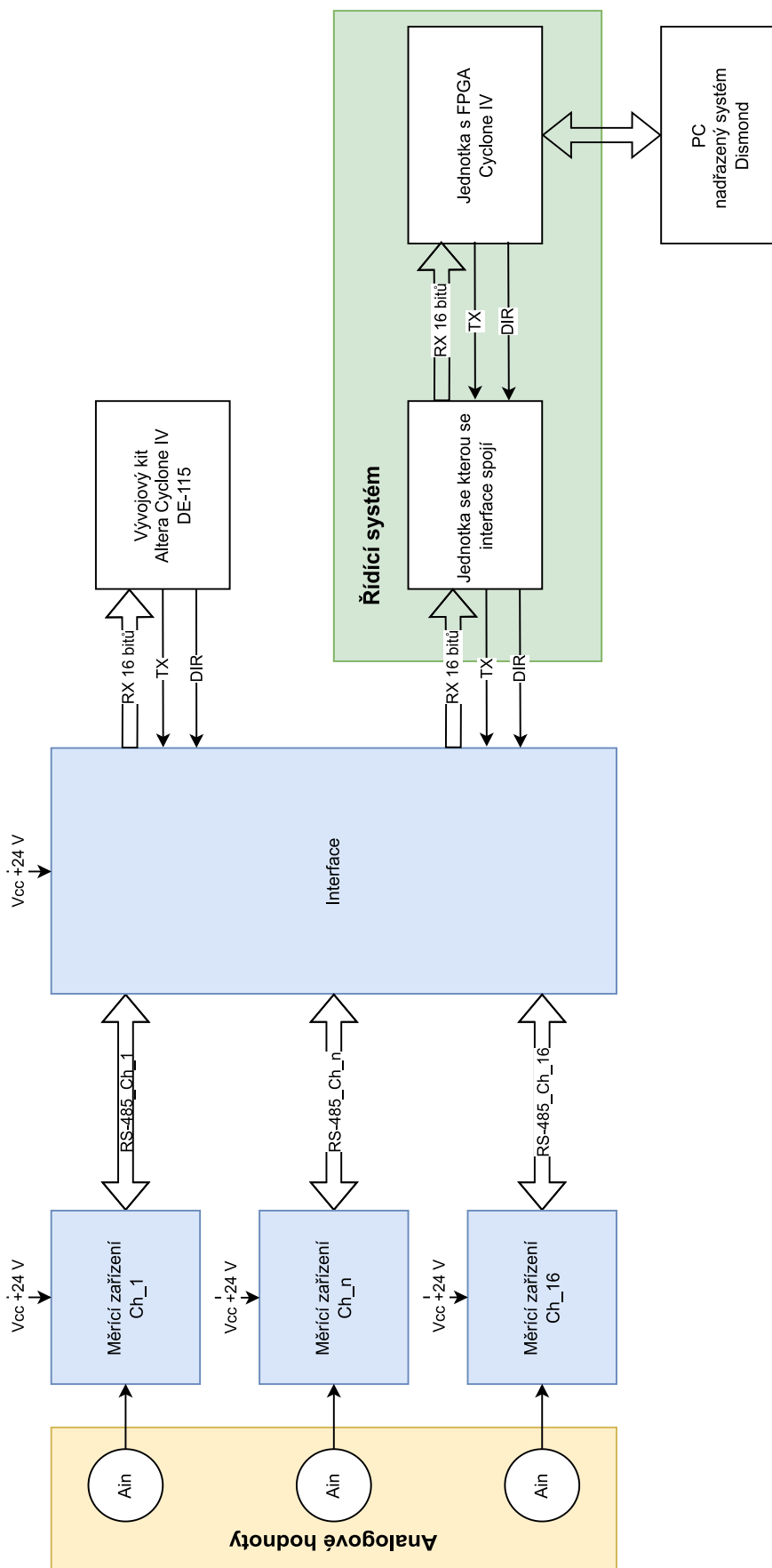
Přenosový kanál bude odolný proti elektromagnetickému rušení a bude splňovat požadavky na rychlost přenosu naměřených dat. Vzdálenost přenosového média byla stanovena na 20 m, ale v reálném systému bude vzdálenost mnohonásobně menší.

### **Firmware:**

Diplomová práce bude obsahovat 2 softwary pro FPGA psané v jazyce VHDL a jeden software pro mikrokontrolér, který bude napsán v jazyce C.

### **Testování:**

Diplomová práce bude obsahovat 2 testovací režimy zařízení. Jedno testování bude založeno na vývojovém kitu Altera Cyclone IV DE-115, kde zařízení budu testovat a odlazovat případné chyby. Druhé testování už bude začleněno do stávajícího systému, kde vývojový kit nahradí řídicí systém používaný ve Škodě Electric.



Obr. 10.: Blokové schéma celého systému

### 3 Návrh obvodového schématu

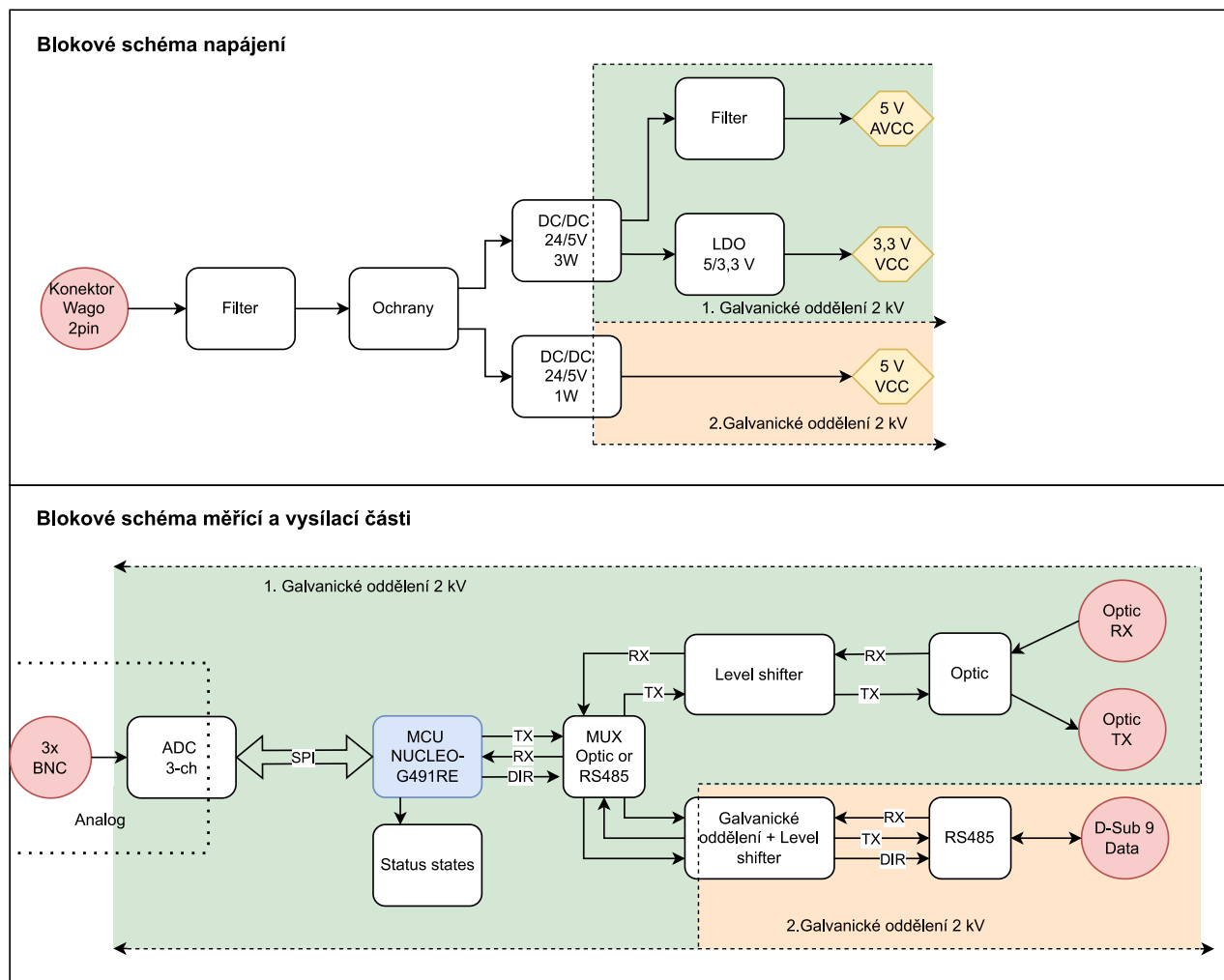
V dnešní době mají návrháři spousta nástrojů na sestavení a návrh desky plošného spoje. Existuje nespočet EDA softwarů, které jsou jak amatérského charakteru a vyskytují se např. v internetových prohlížečích, kde nedávají tolik možností pro návrháře, nebo softwary profesionální. U profesionálních softwarů mají návrháři neomezená možnosti (velikost PCB, práce v týmech, různé simulační nástroje, nebo pokročilé zobrazení v režimu 3D). Nevýhodou těchto programů je většinou jejich cena, která dosahuje desetitisíců a statisíců korun. Pro návrh zapojení a vytvoření DPS jsem zvolil software od firmy Altium a to Altium Designer v nejnovější verzi 21.6.1..

Jak již bylo řečeno ve stanovení podmínek, zařízení se bude skládat ze dvou PCB, kde jedno bude obstarávat funkci měřící a druhá deska bude jako interface mezi sběrnicí a FPGA.

Měřící deska je složena s několika funkčních bloků. Hlavním blokem je procesor firmy STMicroelectronics a to STM32G491RE. Do procesoru vstupují naměřená data pomocí sběrnice SPI. O měření analogových hodnot se stará 16-bitový AD převodník se vzorkovací frekvencí 100 kHz od firmy Texas Instruments a to typ ADS8689IPWR. O komunikaci se stará sběrnice RS485, kde hlavní driver sběrnice je obvod ADM1485ARMZ od firmy Analog Devices. Sběrnice RS485 je galvanicky oddělena od zbytku obvodu. Zařízení je napájeno pomocí 24 V. O zmenšení napětí se starají dva DC/DC měniče které jsou od sebe také galvanicky odděleny, a zajišťují +5 V napájecí větve pro komunikační jednotku a zvlášť pro procesor a ostatní periferie. Pro napájení součástek, které potřebují napájení 3V3 se stará lineární stabilizátor, který stabilizuje napětí z 5 V. Zařízení obsahuje také komunikaci pomocí optického vlákna, které slouží pouze pro testování a v koncovém zařízení bude použito při speciálních aplikacích.

Interface, jak již bylo řečeno slouží k převodu sběrnice RS485 na signál o hodnotě 3V3 který je vhodný pro FPGA. Interface tak obsahuje pouze 16 kanálů sběrnice založený na stejném principu jako je na měřící desce. Dále obsahuje DC/DC step-down měnič, který mění ze vstupní napětí 24 V na 5 V. Interface obsahuje také lineární stabilizátor, který stabilizuje napětí z 5 V na 3V3.

### 3.1 Měřicí deska



Obr. 11.: Blokové schéma měřicí desky

#### 3.1.1 Popis konektorů

Kapitola popisuje konektory, které jsou použity na měřicí desce a jejich piny.

Tabulka 2.: Napájecí konektor

Konektor - J4		
Konektor:	796644-2	
Protikus:	282805-2	
Výrobce:	TE Connectivity	
Počet pinů:	2	
Rozmístění pinů:	č.pinu	Funkce
	1	+24_IN
	2	GND_IN

Tabulka 3.: Konektor na přenos dat po sběrnice RS485

Konektor D-SUB9 - J6				
<b>Konektor:</b>	2301844-2			
<b>Protikus:</b>	2301826-1			
<b>Výrobce:</b>	TE Connectivity			
<b>Počet pinů:</b>	9			
<b>Rozmístění pinů:</b>	č.pinu	Funkce	č.pinu	Funkce
	1	-	6	-
	2	-	7	-
	2	-	8	-
	3	RS485_P	9	-
	4	RS485_N	Shield 1	FRAME
	5	-	Shield 2	FRAME

Tabulka 4.: Konektory pro připojení generátoru signálu

3X Konektor BNC (J1, J2, J3)		
<b>Konektor:</b>	5-1634556-0	
<b>Protikus:</b>	5332225-5	
<b>Výrobce:</b>	TE Connectivity	
<b>Počet pinů:</b>	1	
<b>Rozmístění pinů:</b>	č.pinu	Funkce
	1	AIN
	Shield	AGND

Tabulka 5.: Konektory optického vstupu a výstupu

Optický výstup - J19			Optický vstup - J18		
<b>Konektor:</b>	HFBR-1528Z		<b>Konektor:</b>	HFBR-2528Z	
<b>Protikus:</b>	HFBR-4503Z		<b>Protikus:</b>	HFBR-4513Z	
<b>Výrobce:</b>	Avago		<b>Výrobce:</b>	Avago	
<b>Počet pinů:</b>	1		<b>Počet pinů:</b>	1	
<b>Rozmístění pinů:</b>	č.pinu	Funkce	<b>Rozmístění pinů:</b>	č.pinu	Funkce
	1	Optic_TX		1	Optic_RX

### 3.1.2 Napájecí část

Jako zdroj napětí měřicí části bude v reálném provozu využita napájecí síť od trakční baterie, která má nominální napětí 24 V. Z tohoto důvodu jsem volil vstupní napětí právě dedikovaných 24 V.

Napájecí část je složena z několika bloků, které si v průběhu kapitoly popíšeme. Hned na vstupu zařízení se nachází první ochrana proti přepětí a případného poškození PCB. První ochrana je složena z tavné pojistky a varistoru. Varistor je zde umístěn z důvodu ochrany proti přepětí a jeho funkce je založená na změně odporu. Před varistorem se poté nachází tavná pojistka, která je zde z důvodu poslední záchrany zařízení, pokud by všechny ochrany selhaly. Za první ochranou se nachází jednoduchý EMI filtr, který je složen ze dvou  $C_x$  kondenzátorů, s common mode tlumivky, ze dvou fázových tlumivek a dvou  $C_y$  kondenzátorů. Takovýto výběr součástek a jejich zapojení, nám filtruje vysoké frekvence, které by mohli do zařízení vstoupit ze strany napájecí sítě a ze strany DC/DC měničů<sup>9</sup>. Za filtrem se nachází druhý stupeň ochrany, a to obvod MAX17523ATE+ a transil. Tento obvod slouží jako nastavitelná nadproudová a nastavitelná přepět'ová ochrana. U přepět'ové ochrany si můžeme nastavit rozsah od 6 do 36 V a to pomocí odporového děliče na svorkách obvodu OVLO a UVLO. Proudový rozsah je pak nastavitelný v mezích od 0,15 až 1 A pomocí odporu, který se připojuje na svorku SETI.

$$U_{OVLO} = U_{OVLO\_R} \cdot \left( 1 + \frac{R_{30}}{\frac{R_{29} \cdot R_{31}}{R_{29} + R_{31}}} \right) \cong 33,2 V \quad (4)$$

Kde:

$U_{OVLO}$	napětí přepět'ové ochrany (V)
$U_{OVLO\_R}$	treshold level udávaný v Datasheetu (V)
$R_x$	odpory ( $\Omega$ )

$$U_{UVLO} = U_{UVLO\_R} \cdot \left( 1 + \frac{R_{27}}{\frac{R_{26} \cdot R_{38}}{R_{26} + R_{38}}} \right) \cong 15,3 V \quad (5)$$

Kde:

$U_{UVLO}$	napětí podpět'ové ochrany (V)
------------	-------------------------------

---

<sup>9</sup> Hodnoty součástek byli pouze simulované, a filtr nebyl zkoušen v praktické podobě. Proto se hodnoty součástek můžou lehce lišit od simulačního nástroje.



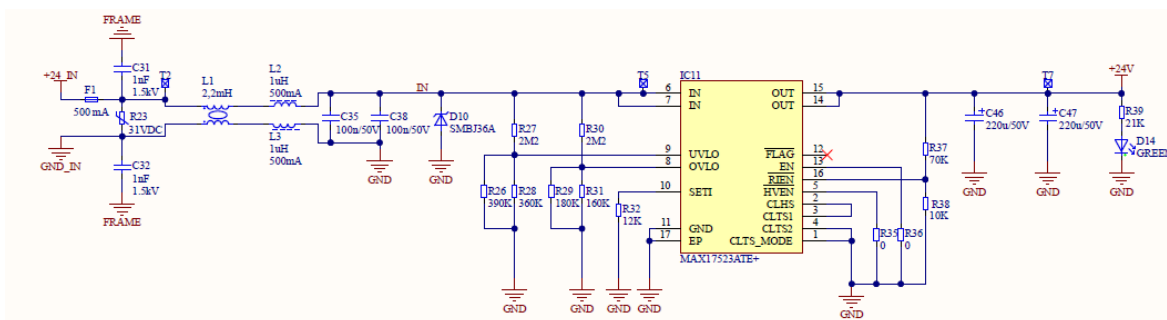
$U_{UVLO\_R}$       threshold level udávaný v Datasheetu (V)

$R_x$               odpory ( $\Omega$ )

Obvod disponuje několika režimy, které ovládají obvod při zjištění, že nastala nějaká situace, která by nastat neměla<sup>10</sup>. Tyto režimy se nastavují pomocí pinu CLTS1 a CLTS2. Za obvodem je už pouze indikační LED D14 indikující napájecí na větvi +24 V.

Tabulka 6.: Módy

CLTS2	CLTS1	Typ módu
0	0	LATCHOFF
0	1	AUTORETRY
1	0	CONTINUOUS
1	1	CONTINUOUS



Obr. 12.: Schéma zapojení filtrů a ochran

Dalším blokem v napájecí části jsou už samotný obvody starající se zmenšení napětí z dedikovaných +24 V na +5 V. O tento proces se starají galvanicky oddělené DC/DC měniče, které jsou i zároveň galvanicky odděleny mezi sebou.

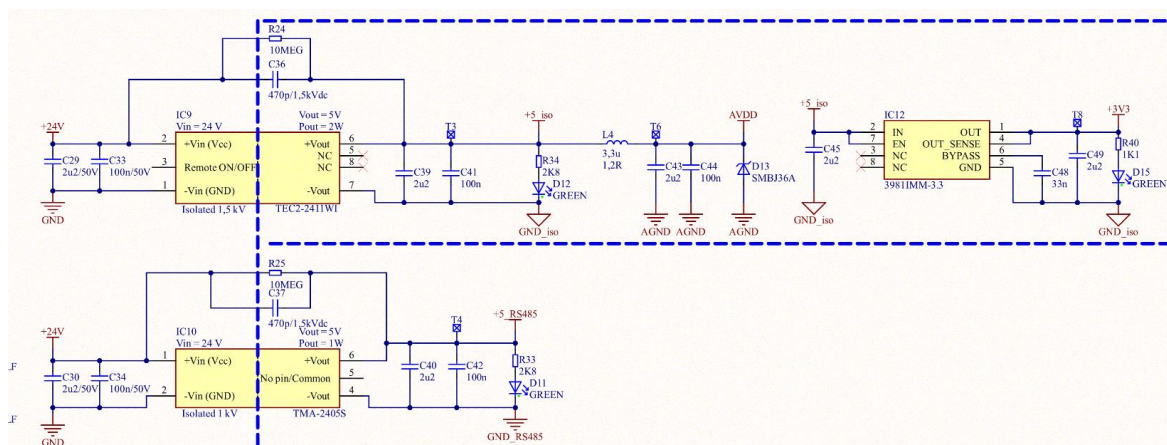
### Napájení komunikace RS-485

O napájení sběrnice RS-485 se stará DC/DC měnič TMA-240S. Jedná se o izolovaný měnič s výkon 1 W v provedení Single-in-Line. Izolační bariéra je u tohoto obvodu 1 kV. Za měničem se nachází indikační LED dioda D11.

<sup>10</sup> Jedná se o situace, že došlo například na vstupu k přepětí, podpětí, nadproud, nebo že na obvodu je příliš velká teplota.

### Napájení ostatních periferií

Druhý DC/DC měnič se stará o napájení procesoru, driveru pro optickou periferii a je zdrojem pro lineární stabilizátor a napět'ovou referenci. Jedná se o zdroj firmy Traco Power a to typ TEC 2-2411WI. Tento zdroj dovede pracovat při vstupním napětí od 18 do 36 V, jmenovitý výkon má 2 W a izolační bariéra u tohoto zdroje je 1,5 kV. Typ provedení zdroje je stejný jako u zdroje předešlého, a to typ Single-in-Line. Za DC/DC měničem se nachází již jmenovaný stabilizovaný zdroj, který stabilizuje napětí z +5 V na +3V3. Tento zdroj je zde z důvodu napájení digitální části AD převodníku a galvanického oddělení ADUM2281. Abychom mohli napájet analogovou část měřicího zařízení, je nutné vyfiltrovat rušení, které je způsobované spínáním DC/DC měniče. Z toho důvodu je zde filtr typu dolní propust složený z cívky  $L_4$  a kondenzátoru  $C_{43}$  a  $C_{44}$ . Jak u výstupu DC/DC měniče, tak u lineárního stabilizátoru je LED dioda indukující napětí na výstupu.



Obr. 13.: Schéma napájecí části

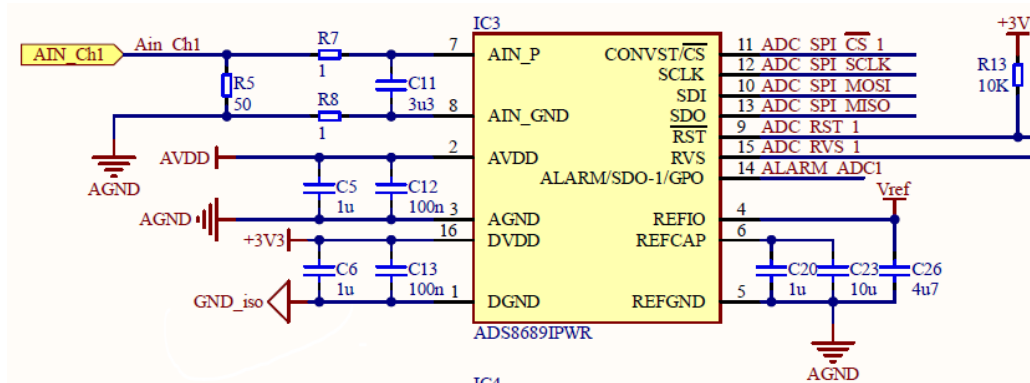
### 3.1.3 Měření analogové veličiny

K převodu analogové veličiny na digitální, jsem vybral ADC převodník od firmy Texas Instruments a to ADS8689IPWR. Tento převodník je založen na SAR technologii, kde jeho vstupní napětí může být až v rozsahu  $\pm 20$  V, ale maximální měřicí rozsah pouze v rozsahu  $\pm 12,288$  V pro bipolární mód a 0 až 12,288 pro unipolární mód. O referenci se stará buď dedikovaná interní reference, nebo k ADC převodníku můžeme připojit externí referenci o napětí 4,096 V. Vzorkovací frekvence dosahuje hodnoty 100 kHz. ADC převodník je plně programovatelný a disponuje rozhraním SPI.

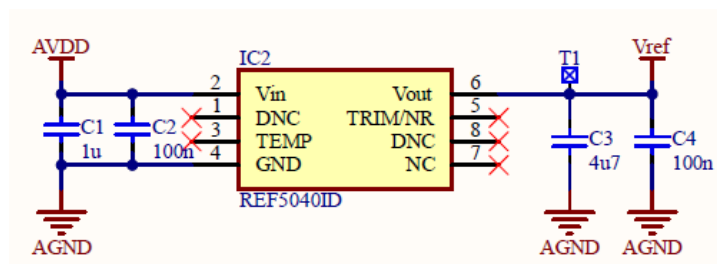
K připojení analogové měřicí hodnoty slouží BNC konektor, za kterým se nachází impedanční přizpůsobení  $50 \Omega$ . Pro ochranu vstupu ADC převodníku je zde použit transil, který ořízne napětí, které bude větší než  $AVDD + V_F$  a menší než  $-V_F$ . Za ochranou

analogového vstupu se nachází antialiasing filtr, který má  $f_c$  nastavenou na hodnotu 48 kHz. O referenci se zde stará obvod RED5040ID, který má fixní referenční hodnotu 4,089 V.

$$f_c = \frac{1}{2 \cdot 3,14 \cdot R \cdot C} = \frac{1}{2 \cdot 3,14 \cdot 1 \cdot 3,3 \cdot 10^{-6}} \cong 48 \text{ kHz} \quad (6)$$



Obr. 14.: Zapojení ADC převodníku



Obr. 15.: Externí reference pro ADC převodník

ADC převodník napájí dvě napájecí větve, které jsou rozděleny na analogovou a na digitální část. A napájení digitální části se stará rozvod napájení +3V3 a o analogovou část napětí AVDD, který má úroveň napětí +5V<sup>11</sup>. K obou těmto napájecím větvím jsou připojeny blokovací kondenzátory o hodnotě 1uF a 100nF. Komunikace s MCU je pomocí standardní sběrnice SPI.

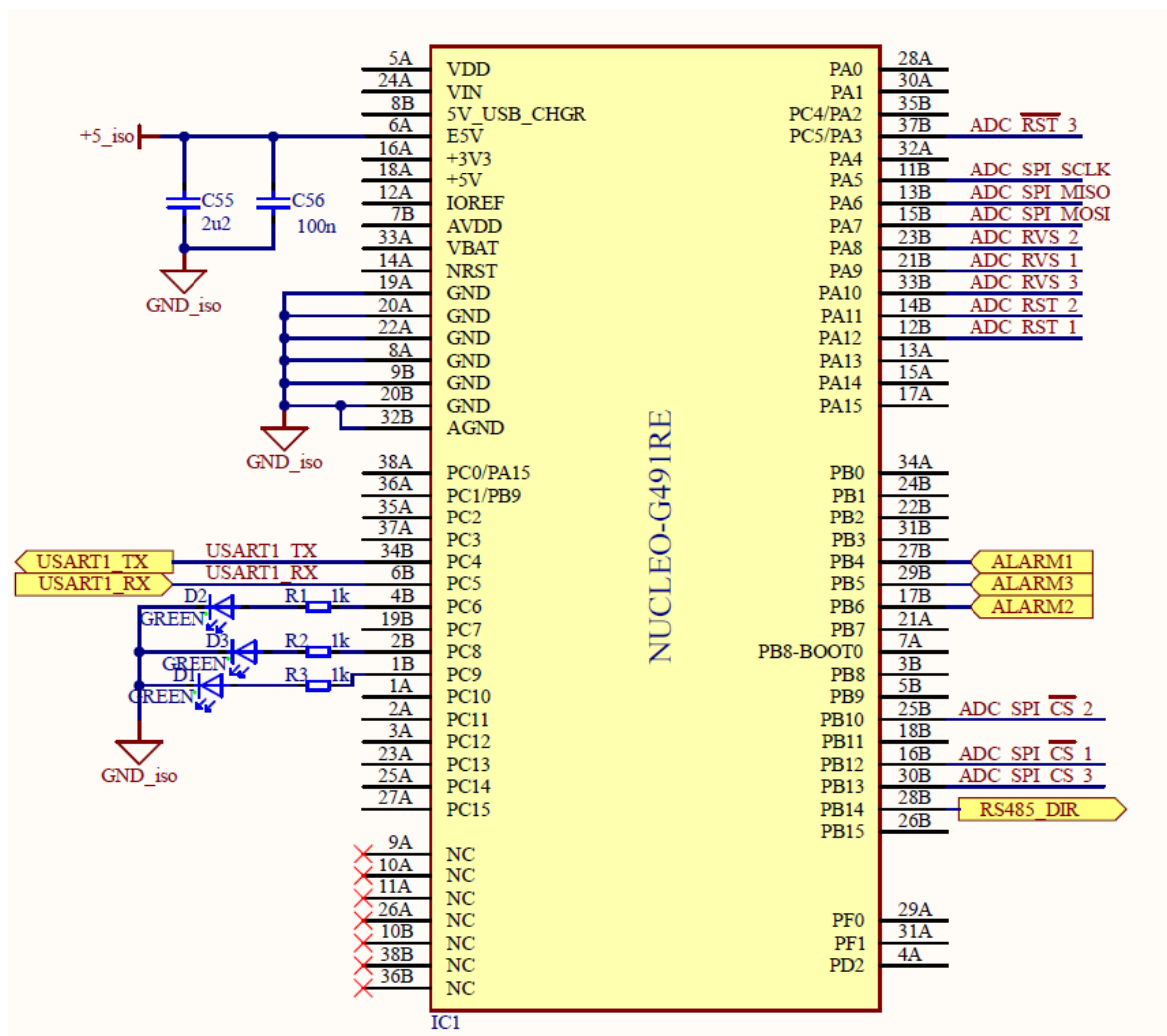
### 3.1.4 Mikrokontrolér

Ke komunikaci a zpracování dat z ADC převodníku jsem použil vývojový kit od firmy STMicroelectronics a to NUCLEO-G491RE, který disponuje procesorem STM32G491RE.

<sup>11</sup> Pokud tyto hodnoty budou překročeny, nebo na analogovém vstupu bude větší nebo menší napětí než jmenovité, tak převodník dokáže vygenerovat přerušování na pinu ALARM.

Tento procesor je založen na 32-bitovém jádře ARM CORTEX-M4, který dokáže pracovat na taktovací frekvenci až 170 MHz.

Jelikož používám vývojový kit, je potřeba myslet na to, jak jsou rozmístěné piny na vývojovém kitu a jakou napájecí hladina se používá pro napájení Nuclea [7]. Vývojová deska používá pro připojení externích zařízení svoje standartizované připojení přes rozhraní ST morpho, které tvoří dva pin headry s 38 piny.



Obr. 16.: Připojená zařízení na konektor ST morpho, které je součástí vývojového kitu NUCLEO-G491RE

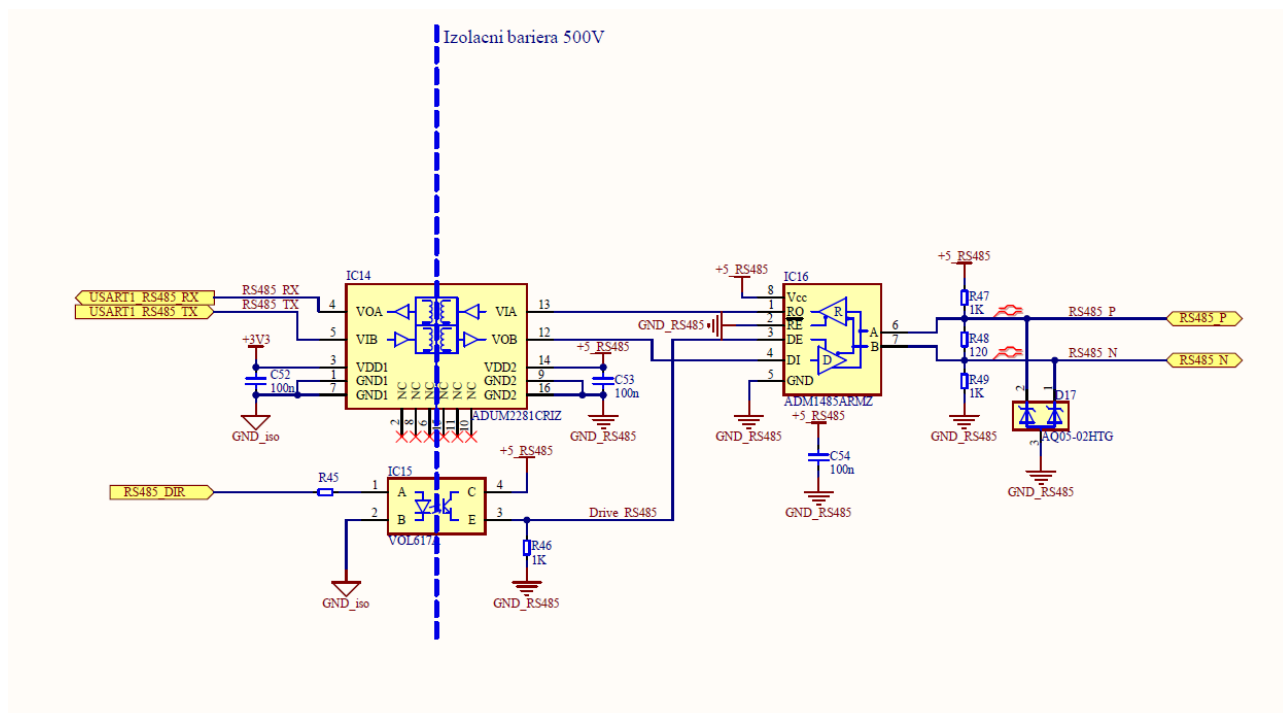
Jak můžeme vidět na Obr. 16, vývojový kit je napájen z izolovaného napětí +5\_iso. Pro vyhlazení napětí, jsou na vstup E5V přidány keramické kondenzátory C55 a C56. Pro debugování a ke zpětné odezvě systému, jsou k NUCLEU připojeny 3 LED diody. Ke komunikaci s ostatními zařízeními na DPS slouží dvě sběrnice a to USART a SPI, kde USART komunikuje mezi RS485 a procesorem a SPI mezi ADC převodníkem a procesorem. Jelikož k SPI je připojeno hned několik ADC převodníků, je potřeba mezi nimi

přepínat. K tomuto slouží  $\overline{CS}$ , které jsou připojeny na piny 25B, 16B a 30B. Na pinech 27B a 29B jsou připojeny Alarmy od ADC převodníků.

### 3.1.5 Sběrnice RS485

Ke komunikaci po sběrnice RS485 je použit obvod od Analog Devices a od ADM1485ARMZ. Obvod je napájen pomocí +5V napájení, které je izolované od ostatních napájecích větví. K vyhlazení napájení slouží keramický kondenzátor  $C_{54}$ . K ochraně proti přechodovým jevům, je na sběrnici umístěna TVS dioda. K zakončení sběrnice je použit zakončovací odpor  $R_{48}$  o hodnotě 120  $\Omega$ .

Abychom mohli dodržet galvanické oddělení RS485 od procesoru a jiných zařízeních, je potřeba také galvanicky oddělit sběrnici mezi MCU a driver sběrnice. K tomuto účelu je zde oddělovací galvanické oddělení sběrnice pomocí obvodu ADUM2281CRIZ. K řízení přenosu je použit signál RS485\_DIR který přenášen přes galvanické oddělení pomocí optronu VOL617.

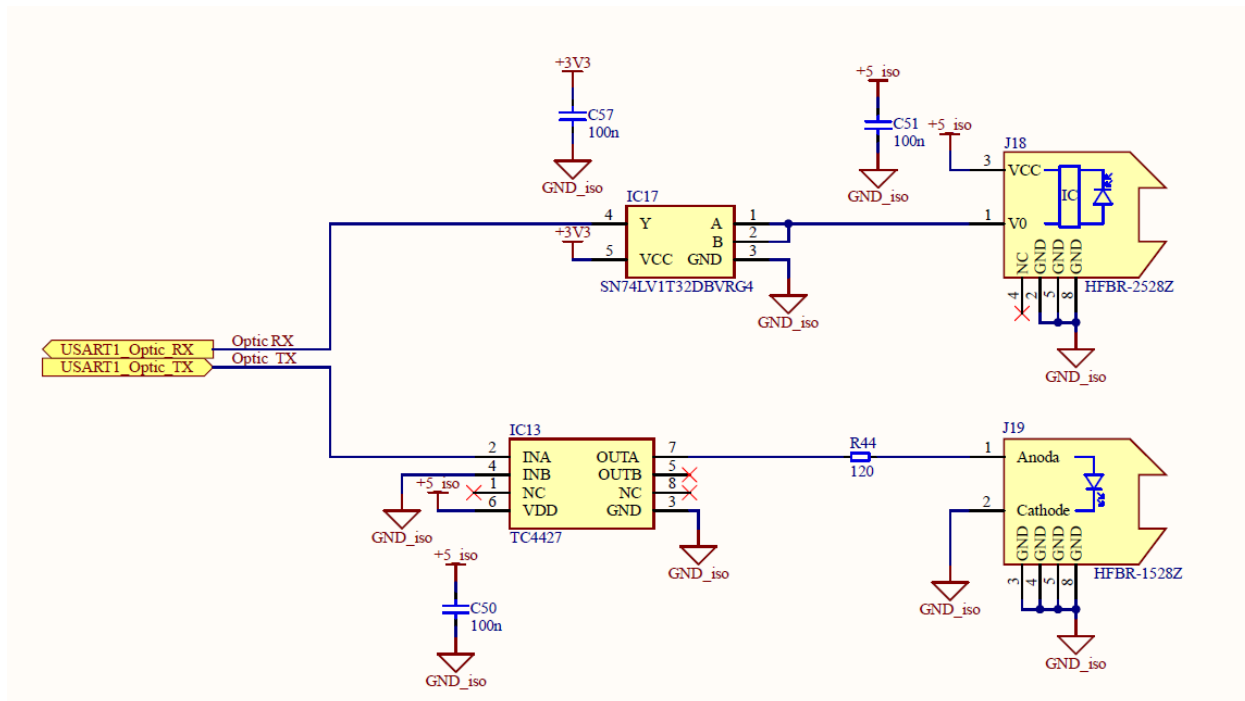


Obr. 17.: Obvodové schéma sběrnice RS485

### 3.1.6 Komunikace po optice

Ke komunikaci je možné použít optické rozhraní. Pro příjem optického signálu a převedení na signál elektrický, slouží přijímač HFBR-2528Z. Za přijímačem se nachází level-shifter, který převede 5V úroveň na úroveň 3V3. Ke generování optického signálu, je

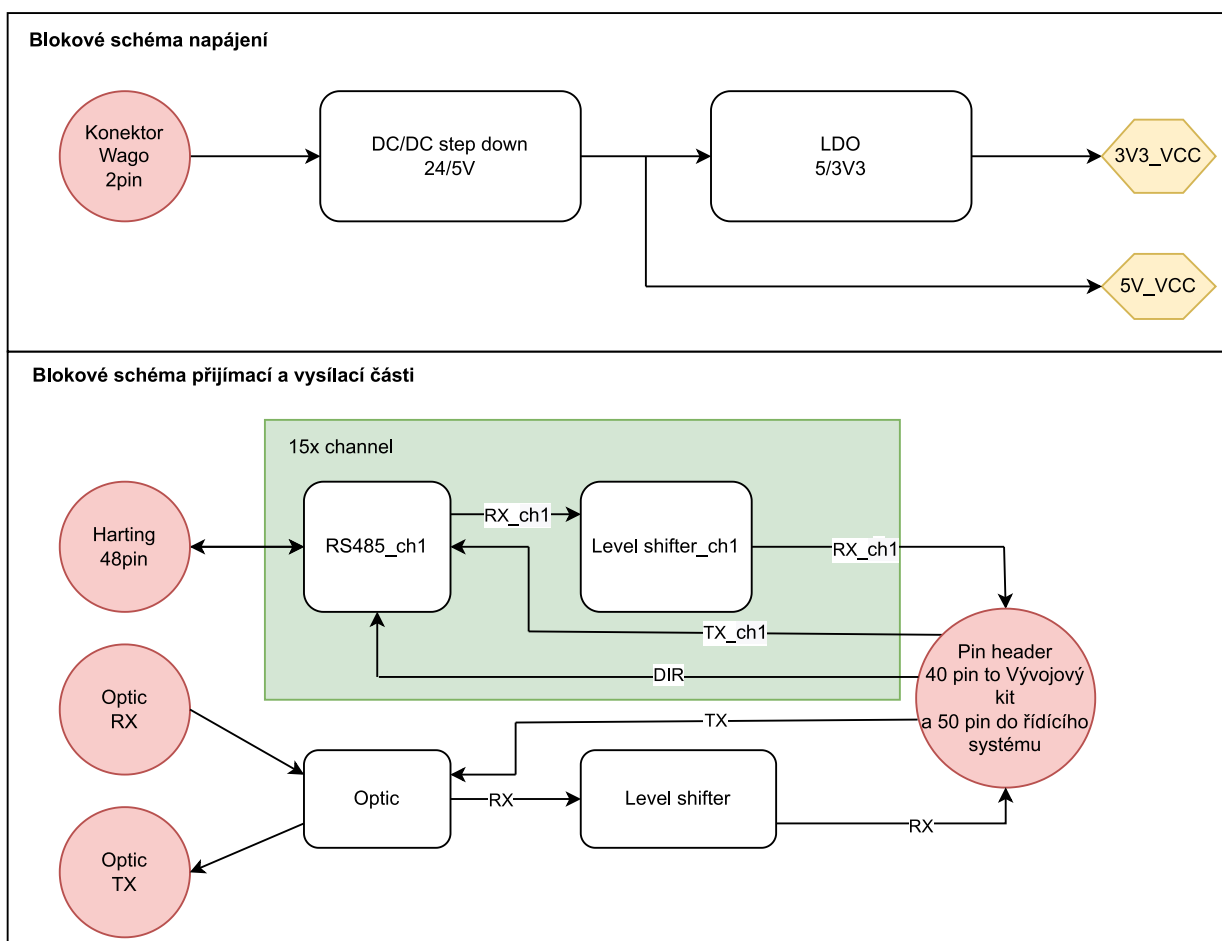
zde umístěn vysílač HFBR-1528Z. Jelikož bychom nedokázali proudově vybudit vysílač pouze pomocí MCU, byl do cesty přidán budič TC4427, který má už dostatečný výkon na vybuzení vysílače. K řízení proudu do vysílače slouží odpor  $R_{44}$ , pomocí kterého můžeme korigovat úroveň vybuzení vysílače.



Obr. 18.: Obvodové schéma optického rozhraní

### 3.2 Interface mezi sběrnici a FPGA

Interface slouží jako rozhraní k připojení 16-ti měřících jednotek a předzpracování dat pro jednotku s FPGA. Jednotka obsahuje 15x driver sběrnice RS485 a 1x optickou komunikaci, kde jejich zapojení je totožné jako na desce měřící, tudíž jejich zapojení nebude v této kapitole popisováno. Jako zdroj je zde použit DC/DC step-down měnič a lineární stabilizátor, který stabilizuje napětí na 3V3.



Obr. 19.: Blokové schéma interface

#### 3.2.1 Popis konektorů

Kapitola popisuje konektory, které jsou použity na interface desce, jejich piny a protikusy.

Tabulka 7.: Konektor pro připojení napájecího napětí

Napájecí konektor – J6	
Konektor:	796644-2
Protikus:	282805-2
Výrobce:	TE Connectivity

<b>Počet pinů:</b>	2	
<b>Rozmístění pinů:</b>	č.pinu	Funkce
	1	+24
	2	GND

Tabulka 8.: Konektor pro připojení 15-ti samostatných kanálů měření

Konektor - J3						
<b>Konektor:</b>	09 06 148 6901 222					
<b>Protikus:</b>	09 06 248 3201 222					
<b>Výrobce:</b>	Harting					
<b>Počet pinů:</b>	48					
<b>Rozmístění pinů:</b>	č.pinu	Funkce	č.pinu	Funkce	č.pinu	Funkce
	A1	RS485P_1	B1	RS485N_1	C1	-
	A2	RS485P_2	B2	RS485N_2	C2	-
	A3	RS485P_3	B3	RS485N_3	C3	-
	A4	RS485P_4	B4	RS485N_4	C4	-
	A5	RS485P_5	B5	RS485N_5	C5	-
	A6	RS485P_6	B6	RS485N_6	C6	-
	A7	RS485P_7	B7	RS485N_7	C7	-
	A8	RS485P_8	B8	RS485N_8	C8	-
	A9	RS485P_9	B9	RS485N_9	C9	-
	A10	RS485P_10	B10	RS485N_10	C10	-
	A11	RS485P_11	B11	RS485N_11	C11	-
	A12	RS485P_12	B12	RS485N_12	C12	-
	A13	RS485P_13	B13	RS485N_13	C13	-
	A14	RS485P_14	B14	RS485N_14	C14	-
	A15	RS485P_15	B15	RS485N_15	C15	-
	A16	-	B16	-	C16	-

Tabulka 9.: Konektor mezi interfacem a vývojovým kitem Altera Cyclone IV

Konektor - J4								
<b>Konektor:</b>	70246-4001							
<b>Protikus:</b>	09 185 4058 14 (Harting)							
<b>Výrobce:</b>	Molex							
<b>Počet pinů:</b>	40							
<b>Rozmístění pinů:</b>	č.pinu	Funkce	č.pinu	Funkce	č.pinu	Funkce	č.pinu	Funkce
	1	DIR_FPGA	11	-	21	RS485RX9	31	RS485RX13
	2	-	12	GND	22	RS485TX9	32	RS485TX13
	3	RS485RX1	13	RS485RX5	23	RS485RX10	33	RS485RX14
	4	RS485TX1	14	RS485TX5	24	RS485TX10	34	RS485TX14



5	RS485RX2	15	RS485RX6	25	RS485RX11	35	RS485RX15
6	RS485TX2	16	RS485TX6	26	RS485TX11	36	RS485TX15
7	RS485RX3	17	RS485RX7	27	RS485RX12	37	OPTIC_RX
8	RS485TX3	18	RS485TX7	28	RS485TX12	38	OPTIC_TX
9	RS485RX4	19	RS485RX8	29	-	39	-
10	RS485TX4	20	RS485TX8	30	GND	40	-

Tabulka 10.: Konektor mezi interfacem a řídicím systémem

Konektor - J5								
<b>Konektor:</b>		7-146252-5						
<b>Protikus:</b>		7-536998-5						
<b>Výrobce:</b>		TE Conectivity						
<b>Počet pinů:</b>		50						
<b>Rozmístění pinů:</b>	č.pinu	Funkce	č.pinu	Funkce	č.pinu	Funkce	č.pinu	Funkce
	1	+5V	16	-	31	GND	46	-
	2	+5V	17	GND	32	-	47	-
	3	-	18	-	33	-	48	-
	4	-	19	-	34	-	49	OPTIC_RX
	5	-	20	GND	35	-	50	OPTIC_TX
	6	-	21	-	36	-		
	7	RS485RX1	22	DIR_interface	37	-		
	8	RS485TX1	23	-	38	-		
	9	RS485RX2	24	-	39	-		
	10	RS485TX2	25	-	40	-		
	11	RS485RX3	26	GND	41	-		
	12	RS485TX3	27	-	42	-		
	13	RS485RX4	28	-	43	-		
	14	RS485TX4	29	-	44	-		
	15	-	30	-	45	-		

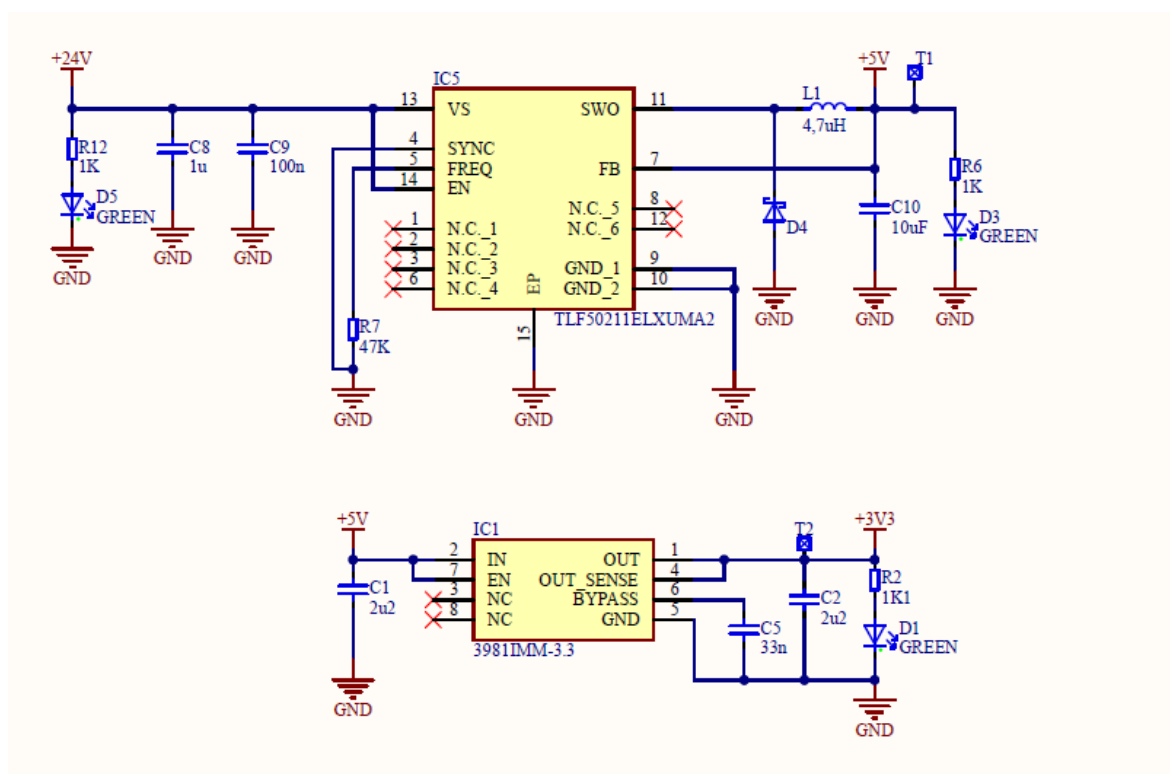
Tabulka 11.: Konektory optického vstupu a výstupu

Konektor – J2		Konektor – J1	
<b>Konektor:</b>	HFBR-1528Z	<b>Konektor:</b>	HFBR-2528Z
<b>Protikus:</b>	HFBR-4503Z	<b>Protikus:</b>	HFBR-4513Z
<b>Výrobce:</b>	Avago	<b>Výrobce:</b>	Avago
<b>Počet pinů:</b>	1	<b>Počet pinů:</b>	1

Rozmístění pinů:	č.pinu	Funkce	Rozmístění pinů:	č.pinu	Funkce
	1	Optic_TX		1	Optic_RX

### 3.2.2 Napájecí část

Jako zdroj napětí bude v reálném provozu využito napájení skrz řídicí systém, který má úroveň napájený 5 V. Jelikož jsem chtěl provozovat zařízení i na stole a chtěl jsem využít stejného zdroje napětí jako u měřicí desky, musel jsem zmenšit napětí z dedikovaných 24 V na 5 V. Pro tento účel jsem tak sestavil step-down měnič složený z obvodu TLF5011 od firmy Infineon. Tento obvod se vyznačuje velmi širokým vstupním napětím, který může být v rozsahu 4,75 až 45 V. O napájení level-shifteru se stará lineární stabilizátor, který stabilizuje napětí z 5 V na 3V3. Schéma zapojení můžeme vidět na *Obr. 20*.



Obr. 20.: Schéma zapojení napájecího zdroje pro interface

## 4 Firmware pro mikrokontrolér

Popisovaný firmware je dostupný v příloze v adresáři „Firmware MCU“.

Software je psaný v jazyce C za pomoci vývojového studia STM32CubeIDE 1.7.0., které je dostupné zdarma na stránkách výrobce STMicroelectronics. Jak již bylo řečeno, vývojový softwaru probíhal na vývojovém kitu NUCLEO-G491RE. K programování jsem použil jak HAL knihovny, které jsou dostupné a spravovány samostatnou firmou STM, ale také formu přímého přístupu do registrů.

Jak již bylo řečeno, MCU má pouze za úkol vyčítat, zabezpečovat a přenášet data z naměřených dat které poskytují ADC převodníky. Komunikace s ADC převodníky je zajištěno pomocí sběrnici SPI. Vyčítání dat je v pravidelném přerušení a to každých 5 us. MCU dále zabezpečuje data pomocí hardwarové periferie CRC a data dále posílá po sběrnici UART do driveru ovládající sběrnici RS485.

Jelikož zdrojový kód obsahuje několik stovek řádků, tak zde bude pospány pouze klíčové části. Celý projekt bude uložen do adresáře „Firmware MCU“ jak již bylo zmíněno v úvodu kapitoly.

### 4.1 Konfigurace MCU

#### 4.1.1 Nastavení rozvodu hodinového signálu

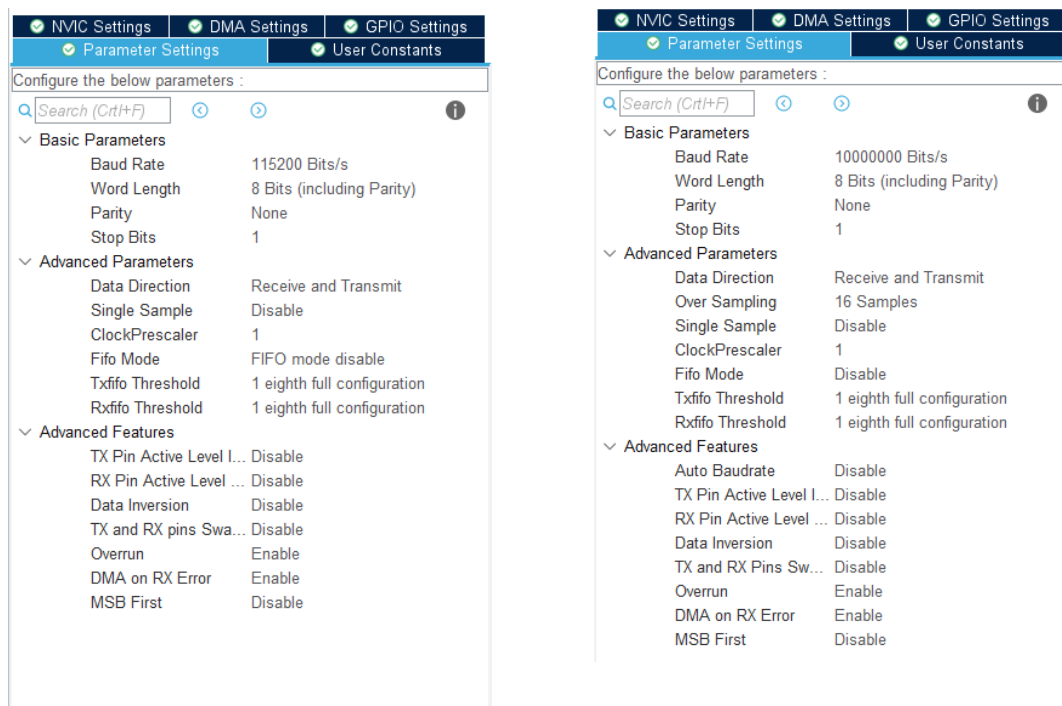
Zdrojem pro hodinový signál, je externí krystal HSE umístěný na desce Nucleo, kde jeho frekvence je 24 MHz. Tento signál je přiveden do fázových závěsů, kde jeho frekvence je vynásobena na 170 MHz<sup>12</sup>. Tento taktovací kmitočet je zaveden do jádra MCU a slouží jako zdroj hodinového signálu pro sběrnici AHB, tak i pro ostatní periferie, které jsou používány.

#### 4.1.2 Nastavení UART periferií

Návrh využívá dvě UART periferie, a to LPUART1, která slouží k přenosu dat mezi MCU a PC. Její přenosová rychlost je nastavena na 115200 Bit/s. Periferie umožňuje jak příjem dat, tak i jejich vysílání. Druhý UART je periferie USART1, který je nastaven na přenosovou rychlost 10 Mbit/s. Data jsou vysílána a přijímána pomocí DMA kanálu. Pro příjem dat je nastaveno šesnásobné převzorkování. Podrobné nastavení periferií můžeme vidět na *Obr. 21*.

---

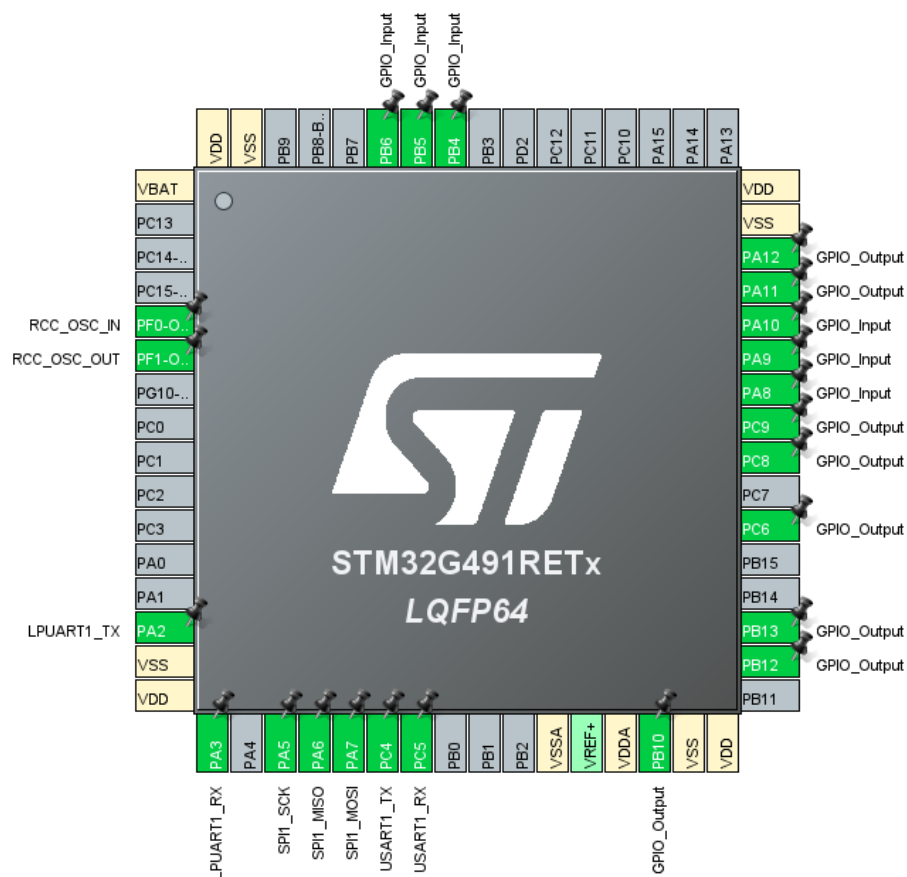
<sup>12</sup> Maximální taktovací frekvence pro STM32G491RE dosahuje zmiňovaných 170 MHz



Obr. 21.: Nastavení periferie UART, kde a) je pro LPUART1 a b) pro USART1

### 4.1.3 Rozložení pinů

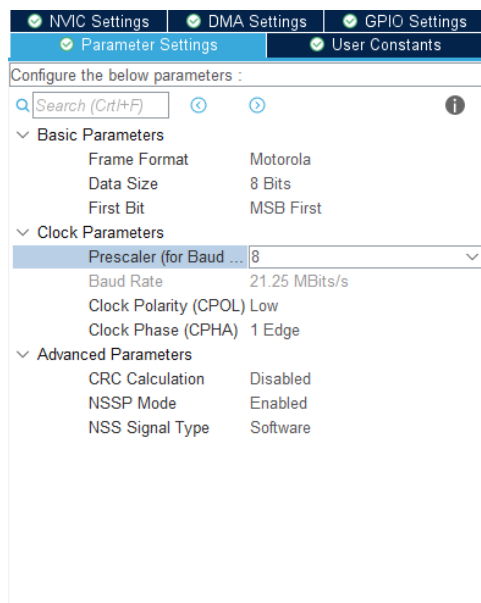
Jak již bylo řečeno, k vývoji bude použit software STM32CubeIDE, pomocí kterého dokážeme konfigurovat periferie, generovat kódy, kompilovat kód a samostatný kód odlazovat. V samostatném softwaru je zakomponován nástroj STM32CubeMX, pomocí kterého si můžeme s pomocí grafického prostředí nakonfigurovat MCU, piny, periferie a následně vygenerovat inicializační konfiguraci. Na obrázku *Obr. 22* můžeme vidět jak jsou rozloženy piny a jakou funkci zastávají.



Obr. 22.: Rozložení pinů MCU

#### 4.1.4 Nastavení periferie SPI

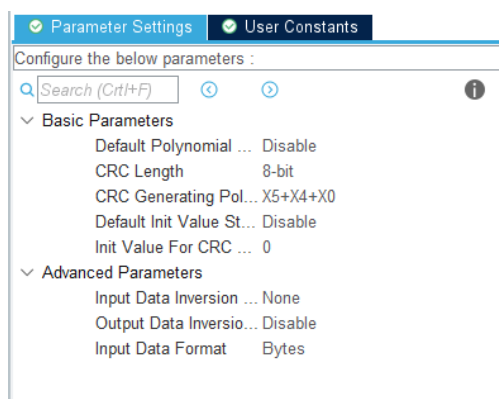
Nastavení periferie SPI vychází z požadavků pro komunikaci s ADC převodníkem. Jelikož možná maximální hodnoty pro komunikaci s ADC převodníkem nejdou s tímto MCU dosáhnout, zvolil jsem co nejrychlejší možnou komunikaci. Rychlost komunikace jsem tak nastavil na 21,25 Mbit/s. Pro příjem a vysílání dat je využit DMA kanál. Další a podrobnější popis nastavení můžete vidět na *Obr. 23*.



Obr. 23.: Nastavení SPI periferie

#### 4.1.5 Nastavení CRC periferie

CRC periferie slouží k výpočtu a následovnému zabezpečení dat při přenosu dat do centrální řídicí jednotky složené s FPGA. Jako generující polynom jsem zvolil CRC-8/MAXIM, který má tvar  $0x31$ . Dále se musí nastavit inicializační hodnota, která u tohoto druhu generujícího polynomu je dána jako  $0x00$ . Podrobnější popis nastavení CRC periferie je na Obr. 24..

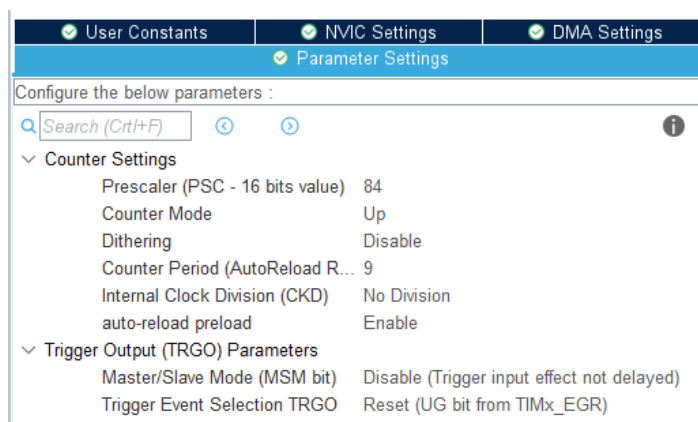


Obr. 24.: Nastavení CRC periferie

#### 4.1.6 Nastavení TIMx periferie

Timer, neboli časovač slouží k vykonání obslužných podprogramů při vyvolání jejich přerušení. V designu je použit jeden časovač, a to TIM3. TIM3 slouží k ovládání signálu, který vede do ADC převodníku a zastává funkci  $\overline{CS}$  a převedení analogové hodnoty na digitální. TIM3 je tak nastaven na přerušení každých 200 kHz, kde při prvním přerušení zapne u ADC převedení analogové hodnoty na digitální, a na druhé přerušení tuto veličinu

pomocí SPI sběrnice vyčte. Abychom ušetřili výkon a čas MCU, je pro obsluhu použit DMA kanál, který ovládá inkrementování bez zásahu jádra MCU. Nastavení periferie můžeme vidět na *Obr. 25*.



Obr. 25.: Nastavení TIM3

## 4.2 Firmware pro MCU

V hlavní smyčce programu je pouze inicializace periferií a inicializace ADC převodníku ADS8689. Software je dále ovládán pomocí přerušování od TIM3, který trigruje signál  $\overline{CS}$  a pomocí DMA kanálů, jsou vyčítána pomocí SPI z ADC převodníků. Po správném příchodu dat, je vyvoláno přerušování od SPI. Při přerušování je vypočítáno CRC a vyvolána obsluha do UARTu, který vyše data ven z MCU.

## 5 Firmware pro FPGA

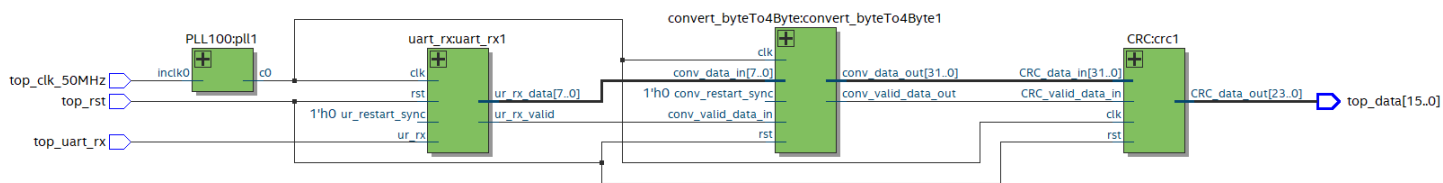
Popisovaný firmware je dostupný v příloze v adresáři „Firmware FPGA“.

Firmware má za úkol zpracovávat vstupní sériová data, které mají strukturu protokolu UART. Dále data převést na paralelní 32-bitový tok a vypočítat CRC. Jestliže výpočet CRC proběhne v pořádku, příchozí data se uloží do registru pro další zpracování. Další zpracování se děje podle toho, jestli FPGA je na „řídícím systému“, nebo je na „vývojovém kitu“

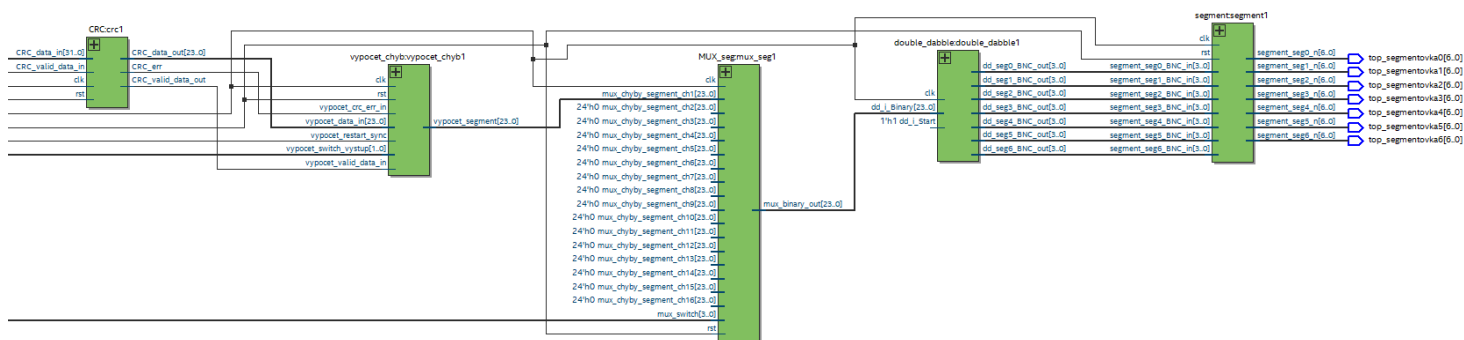
Firmware pro testování na vývojovém kitu a na řídicím systému je pro oba systémy stejný až po výpočet CRC. Strukturu jednoho vstupního kanálu lze vidět na *Obr. 26*. Odlišnost nastává až po výpočtu CRC, pokud se bavíme o vývojovém kitu následuje výpočet chyb, jejich převedení na BNC kód a následně zobrazení špatně a dobře přijatých zpráv na sedmsegmentovém displeji. Zatímco při firmwaru do řídicího systému je poslední modul CRC a řídicí systém („Dismond“) vyčítá platné data z 16-bitového registru *top\_data* a zobrazuje je ve stejnojmenné aplikaci.

Firmware je psaný v jazyce VHDL. Vývoj probíhal v softwaru Quartus 18.1. firmy Intel a simulován byl v softwaru ModelSim 10.1..





Obr. 26.: Ukázka jednoho vstupního kanálu (struktura pokud je použit výčet pomocí řídicího systému)



Obr. 27.: Blokové schéma, pokud jsou data dále zpracovávána pomocí vývojového kitu

## 5.1 Taktování jádra

Obvody FPGA obvykle neobsahují generátor hodinového signálu, proto je nutné řídit vnitřní strukturu z vnějšího zdroje. Jako vnější zdroj referenčního hodinového signálu je možno použít krystal s frekvencí 50 MHz, který se nachází na vývojové desce. Tuto taktovací frekvenci zavádíme do FPGA, kde pomocí fázového závěsu frekvenci násobíme na frekvenci 100 MHz, která zajišťuje taktování všech modulů.

Tabulka 12.: Signály modulu PLL

Signál	Směr	Popis
inclk0	IN	Vstupní takt 50 MHz
c0	OUT	Výstupní takt 100 MHz

## 5.2 Modul na příjem sériových dat

Přijímací modul RX slouží k příjmu sériových dat ve formě protokolu UART a následovného převedení na data paralelní. Jelikož data na vstup přicházejí asynchronně, je potřeba je převést na synchronní data. Princip příjmu spočívá v přidržení vnitřních hodin až do následovného spuštění při příchodu start bitu. Abychom nevzorkovali přijímaná data v blízkosti hran, tak je první cyklus zkrácen o polovinu. Tak se dostaneme do středu

předpokládaného intervalu. Abychom nedostávali špatné data z důvodu rušení, je na vstupu implementován low-pass filter pomocí posuvného 4 bitového registru. Pokud jsou data v registru ve stavu „1111“ tak výstupní stav z filtru je „1“. Pokud jsou v registru samé „0000“ výstupní stav je „0“. Ostatní kombinace jsou neplatné a stav se nezmění. Dalším krokem je detekovat sestupnou hranu. Detektor pracuje na principu ukládání stavu filtrovaného vstupu a porovnání s aktuálním stavem. Pokud je stavový automat ve stavu „idle“, a přišla sestupná hrana, spustí se vnitřní hodiny a probíhá příjem dat, které se ukládají do posuvného registru. Při příjmu celé 8-bitové zprávy, přechází přijímač zpátky do stavu „idle“ a je ukončen příjem. Data uložená v posuvném registru jsou synchronně paralelně vyčtena. Samotný přijímač je tak tvořen konečným automatem.

**Tabulka 13.: Signály modulu RX**

Signál	Směr	Popis
clk	IN	Hodinový signál
rst	IN	Resetovací signál
ur_rx	IN	Vstupní sériová data
ur_restart_sync	OUT	Synchronizační pulz
ur_rx_data[7..0]	OUT	Výstupní paralelní data
ur_rx_valid	OUT	log. 1 - Určuje platná data na výstupu

### 5.3 Modul na spojení bytů

Tento modul zajišťuje spojení 4 samostatných bytů do jednoho 32-bitového slova. Princip spočívá na inkrementování validních pulzů od modulu UART\_RX. Pokud přijde vždy validní pulz, tak data na vstupu posuneme vždy na určenou pozici. Pokud jsou všechny bajty umístěny, je vyslán validační pulz a 32-bitová data mohou být přečtena. Aby nedošlo ke špatnému složení 32-bitové zprávy, je do modulu zaveden signál *conv\_restart\_sync*, který pokud nepřicházejí validní data z modulu *UART\_RX*, tak modul resetuje.

**Tabulka 14.: Signál modulu convert\_byteTo4Byte**

Signál	Směr	Popis
clk	IN	Hodinový signál
rst	IN	Resetovací signál
conv_data_in[7..0]	IN	Vstupní data (1 byte)
conv_valid_data_in	IN	log. 1 - validní vstupní data

conv_data_out[31..0]	OUT	32 - bitová výstupní data
conv_valid_data_out	OUT	log. 1 – validní výstupní data
conv_restart_sync	IN	Resetovací synchronizační signál

#### 5.4 Modul na výpočet CRC

Tento modul vypočítává ze vstupních dat CRC a dle jeho platnosti data pošle dále, nebo pokud jsou data neplatná, tak na vstup uloží poslední data která byla platná. Výpočet je proveden pomocí paralelního algoritmu, který dokáže výsledek spočítat v jednom taktu. K tvorbě VHDL kódu byl použit nástroj „Generator or CRC HDL code“ z webové stránky viz. [8]. Tento kód byl implementován a lehce pozměněn pro vyžadující aplikaci.

Tabulka 15.: Signály modulu CRC

Signál	Směr	Popis
clk	IN	Hodinový signál
rst	IN	Resetovací signál
CRC_data_in[31..0]	IN	Vstupní data
CRC_valid_data_in	IN	log. 1 – validní vstupní data
CRC_valid_data_out	BUFFER	log. 1 – validní výstupní data
CRC_err	BUFFER	log. 1 – příjem špatné zprávy
CRC_out[7..0]	OUT	Vypočítané CRC
CRC_data_out[23..0]	OUT	Výstupní validní data

#### 5.5 Modul na výpočet chyb

Modul slouží k inkrementování vstupních bitů od modulu CRC. Jednotlivé bity znamenají buď to dobře přijatou zprávu, nebo špatně přijatou zprávu. Výsledky jsou uloženy do 32-bitových registrů. Pomocí DIP-switche vybíráme s jakou hodnou chceme operovat a zobrazit jí na sedmisegmentovém displeji.

Tabulka 16.: Signály modulu vypocet\_chyb

Signály	Směr	Popis
clk	IN	Hodinový signál
rst	IN	Resetovací signál

vypocet_data_in[23..0]	IN	Vstupní data
vypocet_valid_data_in	IN	log.1 – vylidní data
vypocet_crc_err_in	IN	log.1 – err data
vypocet_switch_vystup[1..0]	IN	Vstup od DIP-switch na výběr výstupních dat
vypocet_segment[23..0]	OUT	Výstupní data
vypocet_restart_sync	IN	Resetovací synchronizační signál

## 5.6 Modul na vybrání kanálu

Modul slouží jako multiplexer, který pomocí 4-bitové adresy vybírá aktivní kanál, který zobrazí počet dobře přijatých zpráv a počet špatně přijatých zpráv na sedmissegmentovém displeji. Jelikož máme 16-ti kanálový systém, tak multiplexer obsahuje 16 vstupů označených jako *mux\_chyby\_segment\_chx*, kde *x* je číslo kanálu.

Tabulka 17.: Signály modulu multiplexoru

Signál	Směr	Popis
clk	IN	Hodinový signál
rst	IN	Resetovací signál
mux_chyby_segment_chX[23..0]	IN	Vstupní data od jednotlivých kanálů
mux_switch[3..0]	OUT	Vstup od DIP-switch na výběr výstupního kanálu
mux_binary_out[23..0]	OUT	Výstupní data

## 5.7 Modul double-dabble

Tento modul slouží k převodu integer hodnot na hodnoty BCD, které lze zobrazit na sedmissegmentovém displeji. Modul byl částečně převzán z [9] a posléze upraven pro účely aplikace.

Tabulka 18.: Signály modulu double-dabble

Signál	Směr	Popis
clk	IN	Hodinový signál
dd_i_start	IN	log.1 – start převodu
dd_i_binary[23..0]	IN	Vstupní binární data
dd_o_DV	OUT	log.1 – validní výstupní data

dd_segX_BNC_out[3..0]	OUT	Výstupní data BCD
-----------------------	-----	-------------------

## 5.8 Modul segment

Tento modul slouží k přímému ovládní sedmissegmentovek. Na vstupu přímá BCD kód a podle pozice rozsvěcuje jednotlivé segmenty.

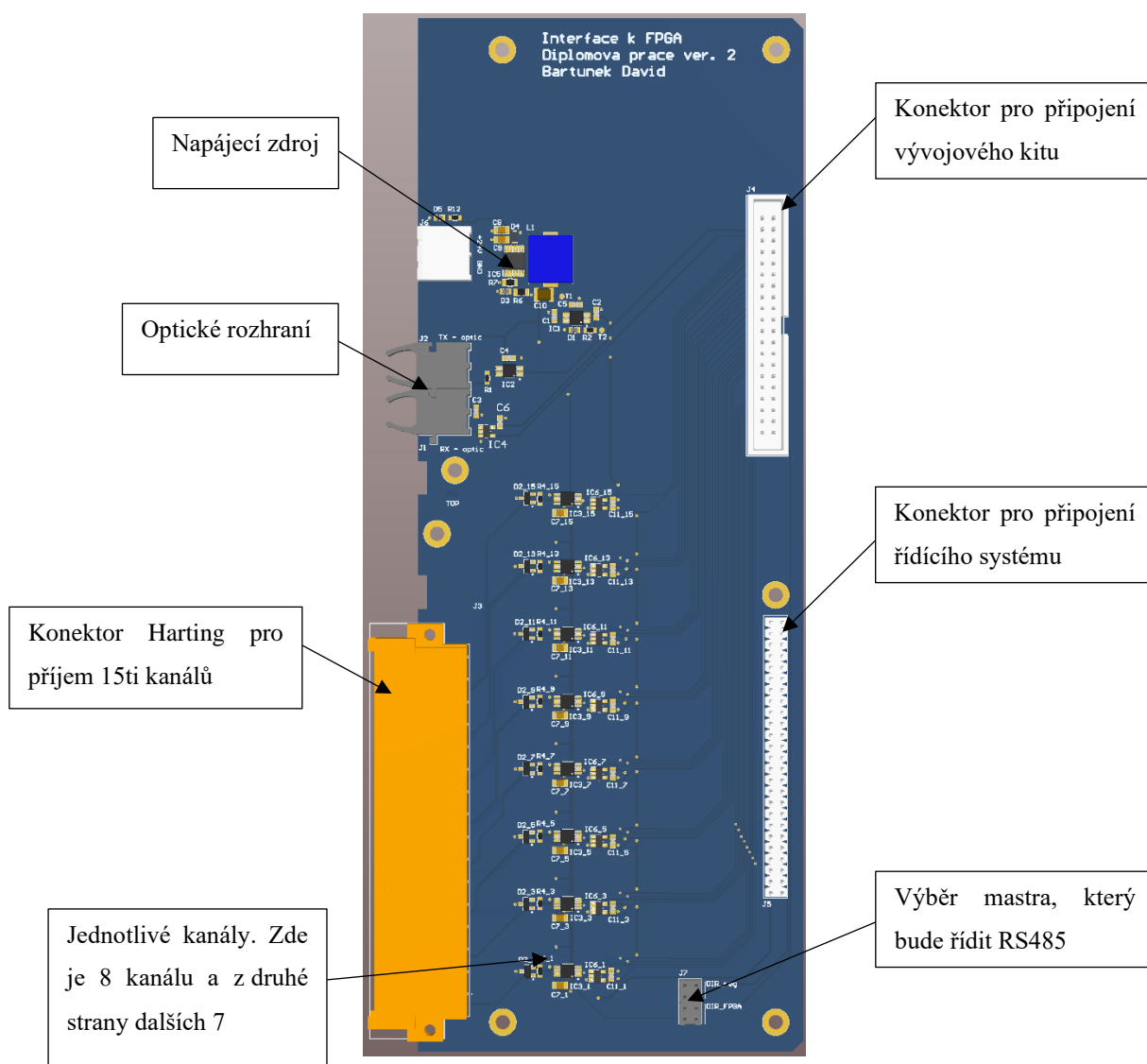
Tabulka 19.: Signály modulu segment

Signál	Směr	Popis
Clk	IN	Hodinový signál
Rst	IN	Resetovací signál
segment_segX_BNC_in[3..0]	IN	Vstupní BCD data
segment_segX_n[6..0]	OUT	Výstupní data na ovládní sedmissegmentovek

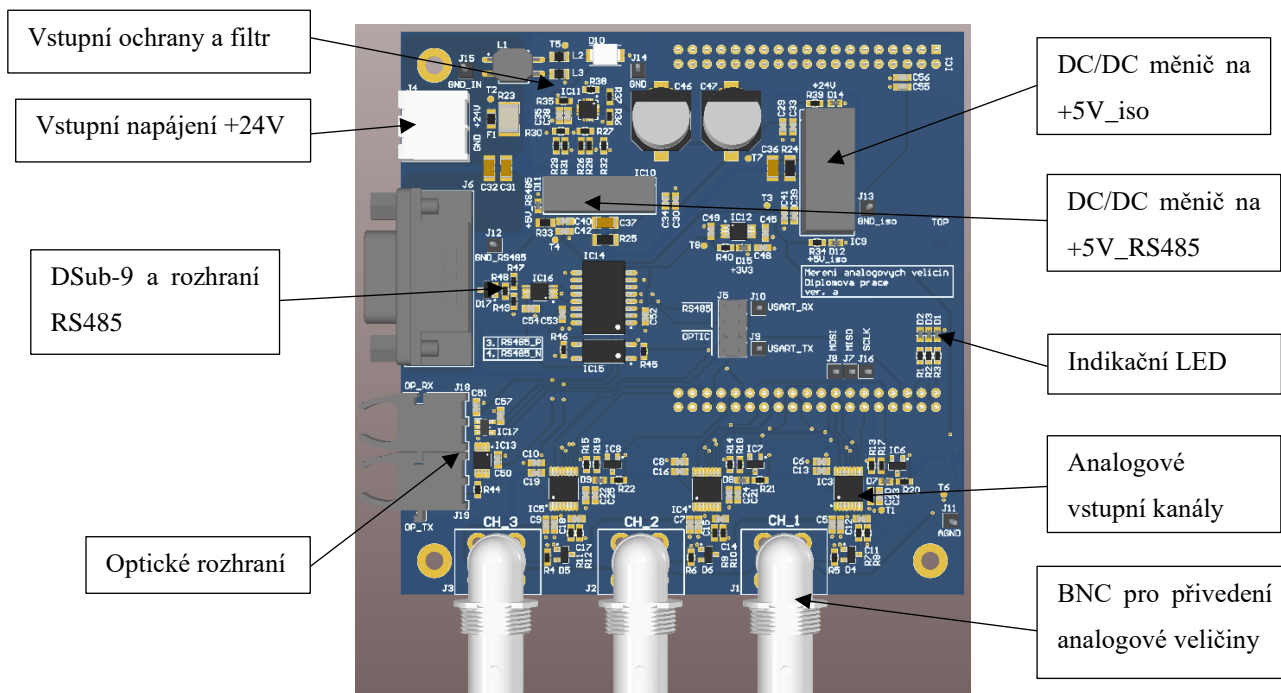
## 6 Návrh DPS a praktická realizace

Pro návrh DPS byl využit stejný software jako pro návrh schématu a to Altium Designer. Velikosti součástek byly voleny tak, aby bylo možné je osázen ručně. Návrh DPS se zabývá návrhem dvou samostatných DPS. Velikost měřicí jednotky byla zvolena tak, aby byla možná co nejlevnější výroba ve vybraném závodě. Naopak velikost interface karty byla zvolena tak, aby bylo možné jí vmontovat do řídicího systému ,nebo jí mít rozloženou mimo řídicí systém.

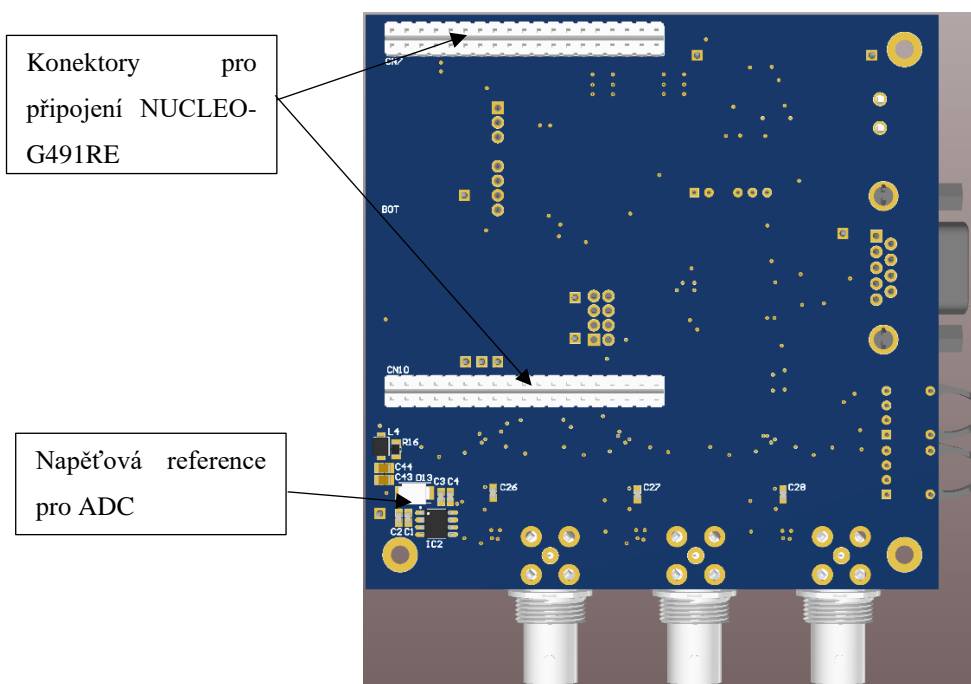
Pro návrh DPS byli vygenerovány výstupní soubory ve formátu X2, které jsou dostupné v adresáři „Soubory DPS“.



Obr. 28.: Přední strana interface karty



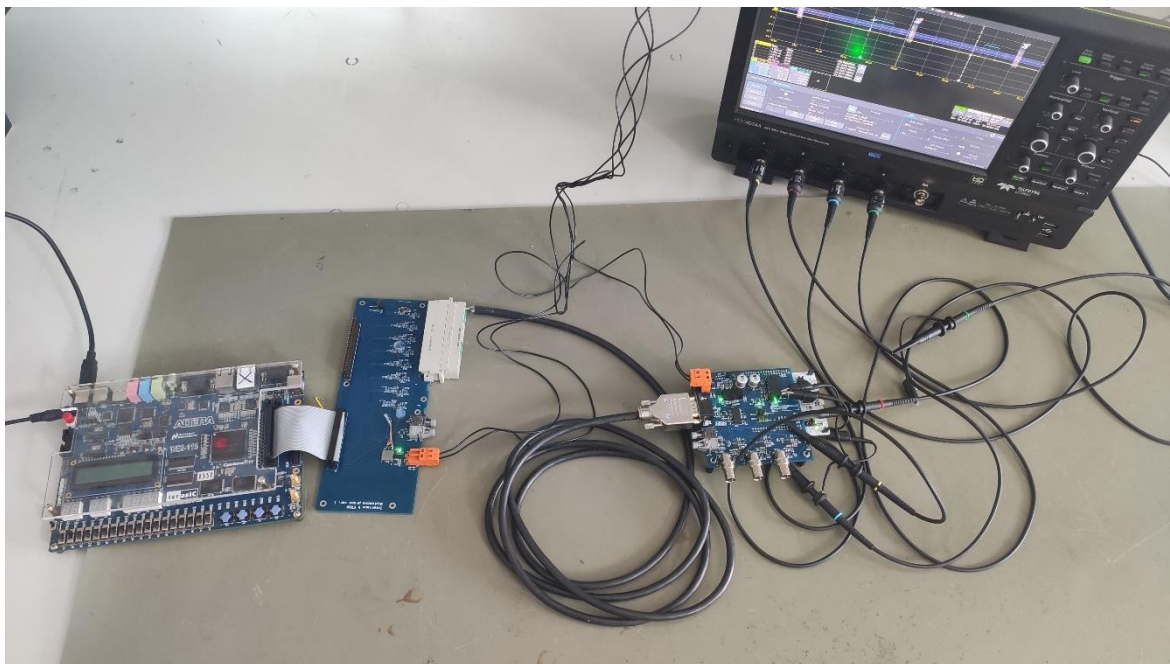
Obr. 29.: Přední strana měřicí karty



Obr. 30.: Zadní strana měřicí karty

## 7 Testování

Hlavním úkolem zařízení, bylo měřit analogový signál, zpracovávat ho v MCU a vyslat ho pomocí digitálního přenosu do FPGA, který se chová jako centrální jednotka. K testování tedy bylo zhotoveno jedno měřicí zařízení a osazen jeden kanál na zpracování digitálních dat jak v interface, tak přímo v FPGA, ačkoliv rozšíření na 16-kanálů by nebyl problém z důvodu použití vysoké modularity psaného kódu.



Obr. 31. Zapojení jednotek mezi sebou + ukázka měření na měřicí jednotce

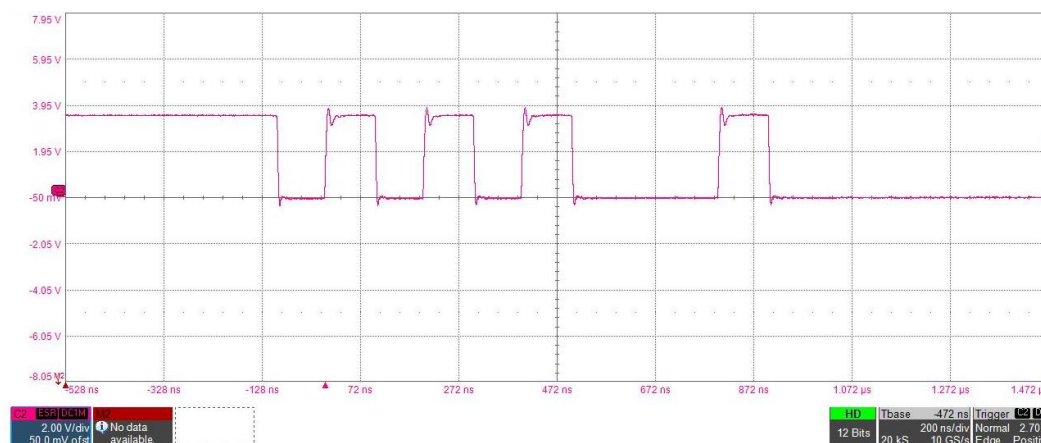
### 7.1 Testování sběrnice a přijímání dat v FPGA

Při testování sběrnice, bylo nejprve vysílány testovací data, aby bylo možné odladit signálovou integritu na vstupu FPGA. Jak můžeme vidět na *Obr. 32*, tak přenášená data velmi kmitala z důvodu vysoké kapacity linky a vysoké přenosové rychlosti. Z tohoto důvodu byl přidán na linku odpor o velikosti  $70 \Omega$ , který nám dokázal potlačit kmitavý průběh na hranách signálu viz. *Obr. 33*.



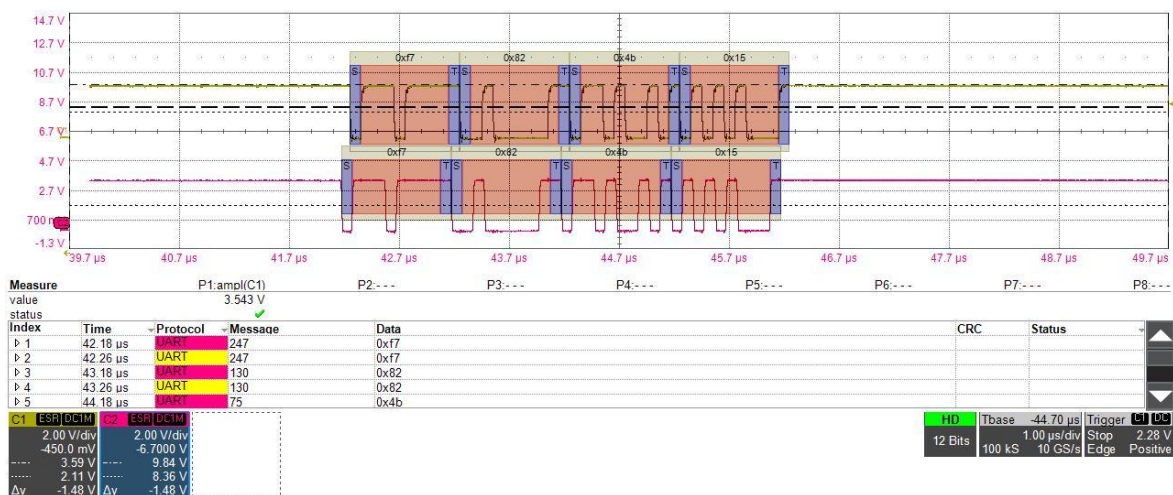


Obr. 32.: Kmitající přenos na sériové sběrnici (měřeno u FPGA)



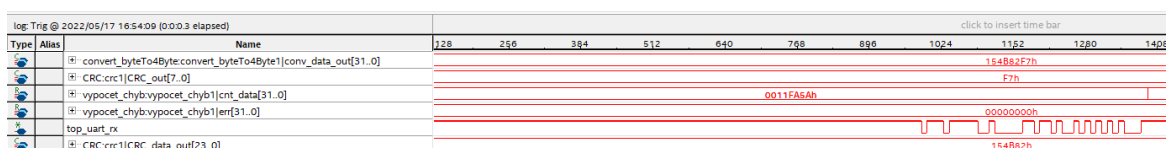
Obr. 33.: Upravený signál bez překmitů

Na Obr. 34 můžeme vidět přenášená data, kde na ch. 1 jsou data měřená u FPGA (přijímaná data), zatímco na ch. 2 jsou data vysílaná z MCU. Z datového toku můžeme vidět obsah zprávy, který je dekodován (1. byte jsou řídicí data, 2 a 3 byte jsou surová naměřená data a 4 byte je vypočítané zabezpečení pomocí CRC). Rozdíl mezi těmito linkami je časové zpoždění mezi MCU a FPGA. Zpoždění vychází cca. na 1  $\mu$ S.



Obr. 34.: Přenášená data

Na Obr. 35 lze vidět zpracovaná data v FPGA. Je zde vidět několik důležitých signálů, kde nejdůležitější je signál *top\_uart\_rx*, který zobrazuje vstupní signál datového toku. Dalším důležitým signálem je *conv\_data\_out[31..0]*, na kterém můžeme vidět sestavenou přijímanou zprávu. Stejná zpráva je zobrazena na Obr. 34.. Signál *CRC\_out[7..0]* představuje hodnotu vypočítaného CRC. Lze si všimnout, že hodnota je stejná jako poslední byte příchozí zprávy. Tudíž zpráva přišla v pořádku a bez poškození. Poslední dva signály *cnt\_data[31..0]* a *err[31..0]* jsou pouze čítače, které čítají buď kolik přišlo špatných zpráv a nebo kolik přišlo celkově správných zpráv. Signál *CRC\_data\_out [23..0]* lze vyčítat pomocí softwaru „Dismond“, kde je vložen do grafu a vykreslován v závislosti na čase. Na vývojovém kitu s FPGA lze vidět na sedmissegmentkách počet správně přijatých a špatně přijatých zpráv.



Obr. 35.: Zpracovaná data v FPGA zobrazení v Quartusu

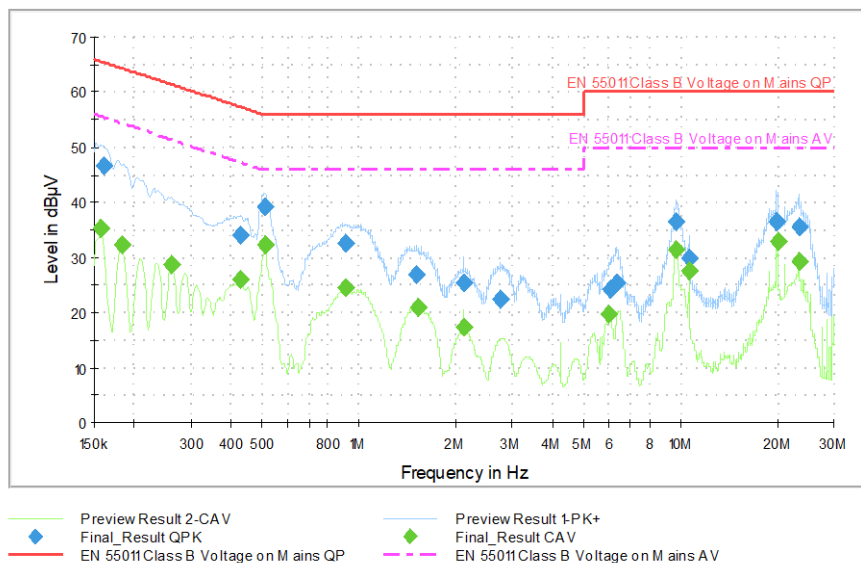
## 7.2 Testování EMC

Zařízení bylo otestováno na emise šířené vzduchem a po vedení na umělé síti V-LISN. Zařízení byl testováno v částečně bezodrazové komoře

### a) Emise šířené po vedení 150 kHz – 30 MHz

Měření probíhalo na vodiči L a na vodiči N. Pro měření byl použit PK a AVG detektor a k doměřování finálních hodnot QPK detektor. Z naměřených hodnot na Obr. 37

můžeme usoudit, že zařízení neruší do sítě a může tak být použito ve třídě B ITE dle normy ČSN EN 55022.

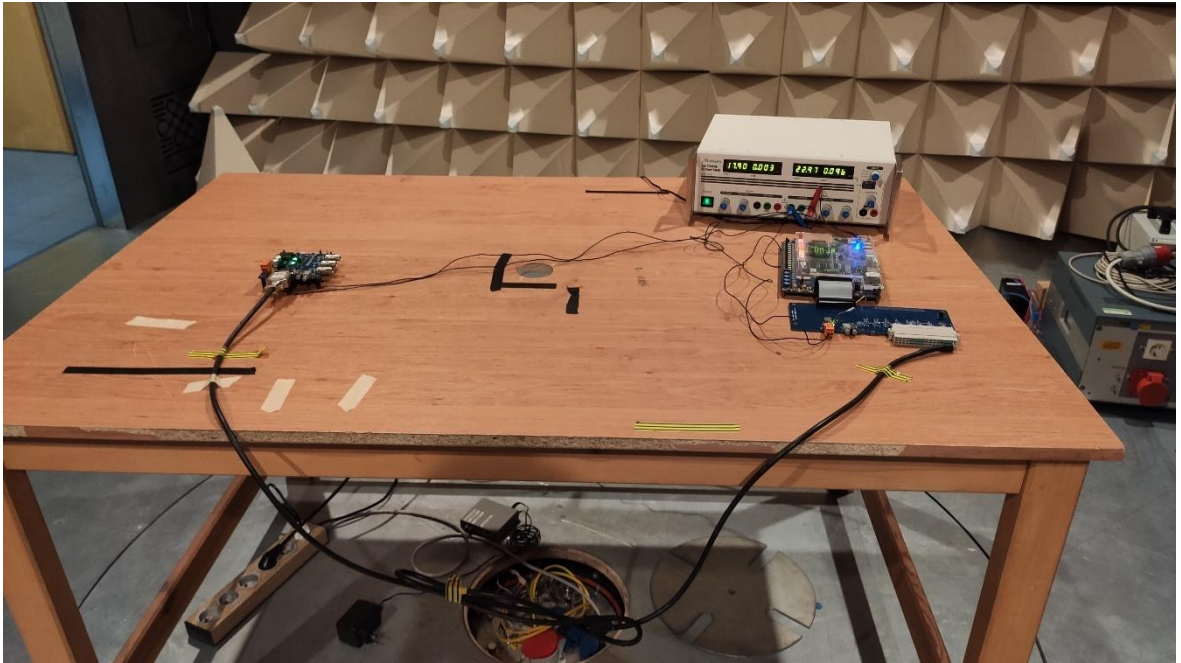


Obr. 36.: Emise šířené po vedení

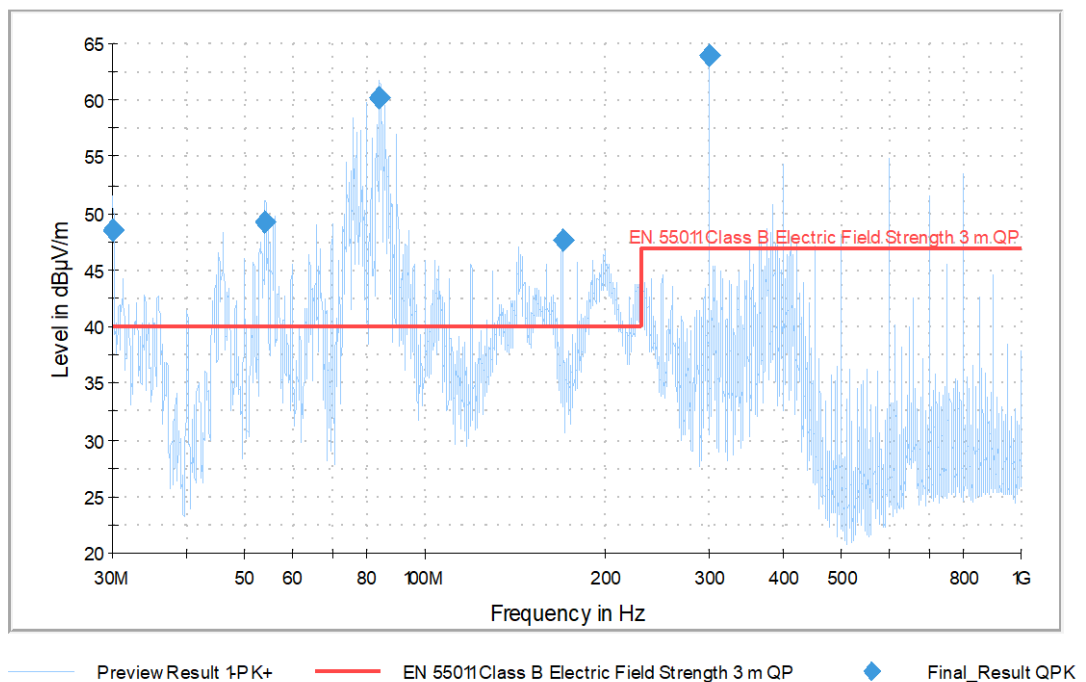
#### b) Emise šířené vzduchem 30 MHz – 1GHz

Při měření emisí šířené vzduchem bylo zařízení připraveno na stůl dle normy ČSN EN 55032 viz. *Obr. 37*. Pro měření byl použit PK detektor a k doměřování QPK detektor. Dle *Obr. 38* lze usoudit, že zařízení by neprošlo na emise a celkově by se musel změnit design zařízení. Je zde vidět širokopásmové rušení od spínací frekvence DC/DC měničů, které lze sledovat na frekvenci 80 MHz. Na frekvenci 170 MHz lze pozorovat taktovací frekvenci MCU. Na 100 MHz a násobky této frekvence lze pozorovat taktovací frekvenci FPGA. Kdybychom se chtěli vyvarovat zvýšených

emisí, museli bychom zařízení umístit do stínící krabičky, nebo zlepšit design celkového zařízení.



Obr. 37.: Připravené měření na měření emisí vzduchem



Obr. 38.: Emise šířené vzduchem

## 8 Závěr

V rešeršní části diplomové práce byla shrnuta teorie ohledně přenosu v zarušeném prostředí, druhy přenosu a druhy ochran proti elektromagnetickému rušení. Byl zde popsán jeden z nejjednodušších protokolů na přenos digitálních dat a to po sběrnici RS485.

Praktická část diplomové práce, je zaměřena na návrh DPS, výběr a realizace hardwaru a firmwaru. Hlavními požadavky byl realizovat přenos v trakčním zařízení na vzdálenost 20 m. Vzorkovací kmitočet AD převodníku bude 100 kHz a data budou minimálně 12-ti bitová. Byl proto zhotoven měřicí řetězec, který měří analogové veličiny, pomocí AD převodníku je převádí na veličiny digitální a MCU je zabezpečí CRC. Po výpočtu CRC data MCU zkompletuje do jednoho 32-bitového slova a vyšle po sběrnici RS485, kde je zpracuje centrální jednotka složená s FPGA. Datový přenos je zprostředkován každých 10 us, abychom dodrželi maximální vzorkovací frekvenci ADC. Centrální jednotka data zpracovává a zobrazuje je buď v aplikaci „Dismond“, nebo data zobrazuje na sedmisegmentovém displeji, který je součástí vývojového kitu s FPGA Cyclone IV.

Celkové zařízení bylo otestováno na vyzařované emise v částečné bezodrazové komoře. Zde byly pouze v limitě hodnoty při měření emisí šířené vedením od 150 kHz do 30 MHz. Při měření emisí šířené vzduchem hodnoty překračovali limitní křivku, a tudíž by zařízení neprošlo zkouškou. Zařízení mělo být také testováno na odolnost vůči rušení dle ČSN EN 6100 4-x, ale bohužel k této zkoušce nedošlo. Důvod neprovedení zkoušky byl z důvodu nedostupnosti součástek a relativně drahým kitům, které nejsou na testování odolnosti stavěné.

Další vývoj by směřoval ke zlepšení dosavadního zařízení a to hlavně směrem k softwaru MCU, kde bych nepoužil programování pomocí HAL. Dále by bylo vhodné zařízení zkonstruovat bez vývojového kitu Nuclea, aby se výsledné zařízení co nejvíce podobalo koncovému zařízení. Dále by bylo nasnadě postoupit všechny testy ohledně EMC, a zjistit, zda zařízení nevyzařuje do okolí a je odolné dle požadovaných norem např. ČSN EN 50121-3-2.

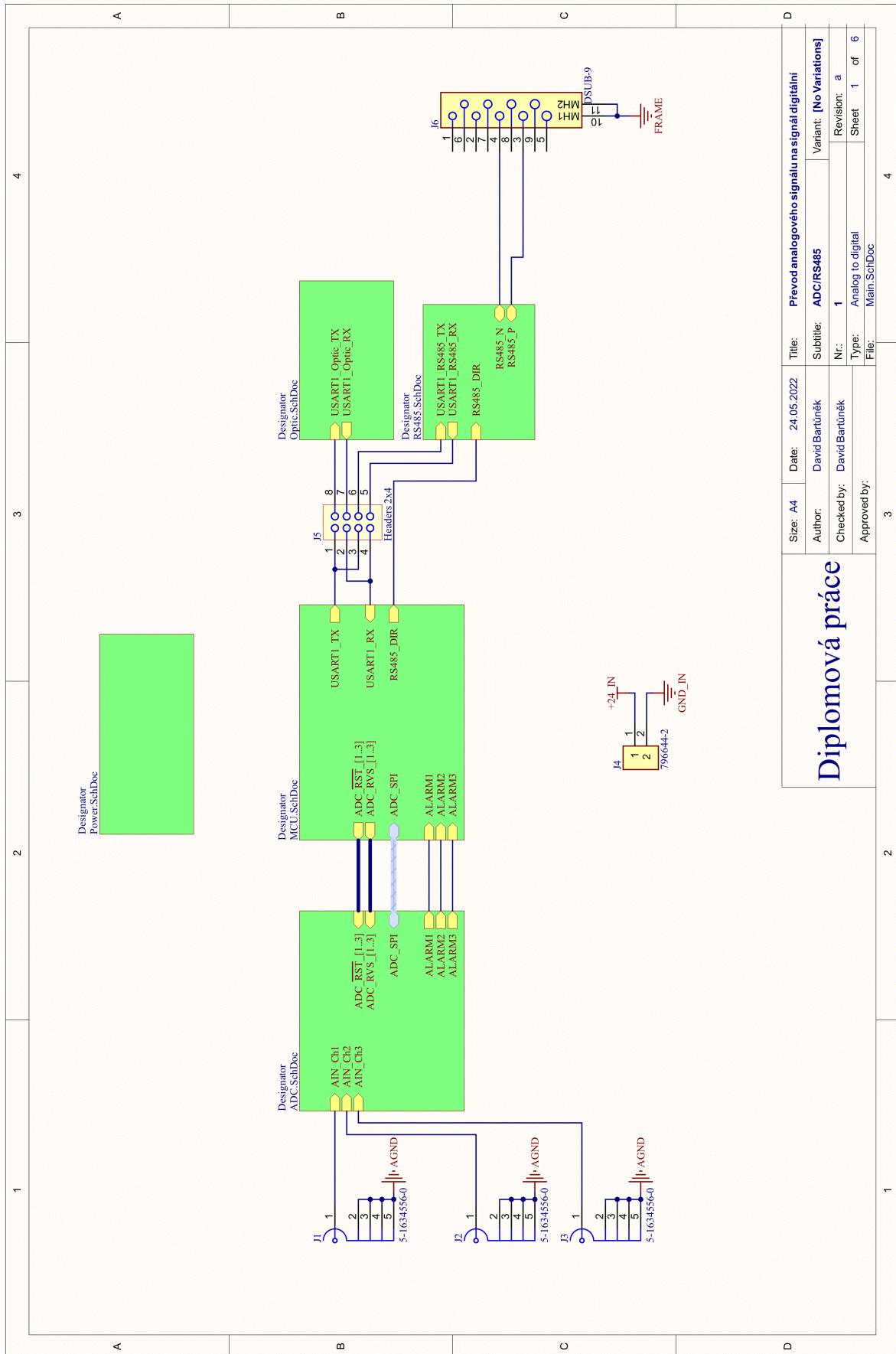
## Literatura

- [1] **Kůs, V., Skála, J., Hammerbauer, J.** *Elektromagnetická kompatibilita výkonových elektronických systémů*. 1. Praha : Nakladatelství BEN, 2013. str. 190. ISBN 978-7300-476-7.
- [2] **National Semiconductor Corporation.** Newark.com. [Online] 2009. [Citace: 4. Duben 2022.] [https://www.newark.com/pdfs/techarticles/natSemi/national\\_AN-1881.pdf](https://www.newark.com/pdfs/techarticles/natSemi/national_AN-1881.pdf).
- [3] **Monolithic Power Systems.** *www.monolithicpower.com*. [Online] [Citace: 12. Březen 2022.] <https://www.monolithicpower.com/en/analog-vs-digital-signal>.
- [4] **Singh, Ch.** beginnersbook.com. [Online] [Citace: 1. Duben 2022.] <https://beginnersbook.com/2019/03/computer-network-topology-mesh-star-bus-ring-and-hybrid/>.
- [5] **Scanlon, J., Rutgers, K.,.** analog.com. [Online] [Citace: 23. Březen 2022.] <https://www.analog.com/en/analog-dialogue/articles/safeguard-your-rs-485-communication-networks.html>.
- [6] **STMicroelectronics.** Application note - Using the CRC peripheral in the STM32 family. *stm.com*. [Online] 2013. [Citace: 15. Duben 2022.] [https://www.st.com/resource/en/application\\_note/an4187-using-the-crc-peripheral-in-the-stm32-family-stmicroelectronics.pdf](https://www.st.com/resource/en/application_note/an4187-using-the-crc-peripheral-in-the-stm32-family-stmicroelectronics.pdf).
- [7] **STMicroelectronics.** User manual- STM32G4 Nucleo-64 boards. [Online] [Citace: 18. Duben 2022.] [https://www.st.com/resource/en/user\\_manual/um2505-stm32g4-nucleo64-boards-mb1367-stmicroelectronics.pdf](https://www.st.com/resource/en/user_manual/um2505-stm32g4-nucleo64-boards-mb1367-stmicroelectronics.pdf).
- [8] **Busch, M.** www.bues.ch. [Online] 6. Listopad 2021. [Citace: 15. Únor 2022.] <https://bues.ch/cms/hacking/crcgen>.
- [9] **Convert Binary numbers to BCD in VHDL and Verilog.** *www.nandland.com*. [Online] [Citace: 7. Březen 2022.] <https://www.nandland.com/vhdl/modules/double-dabble.html>.

## Přílohy

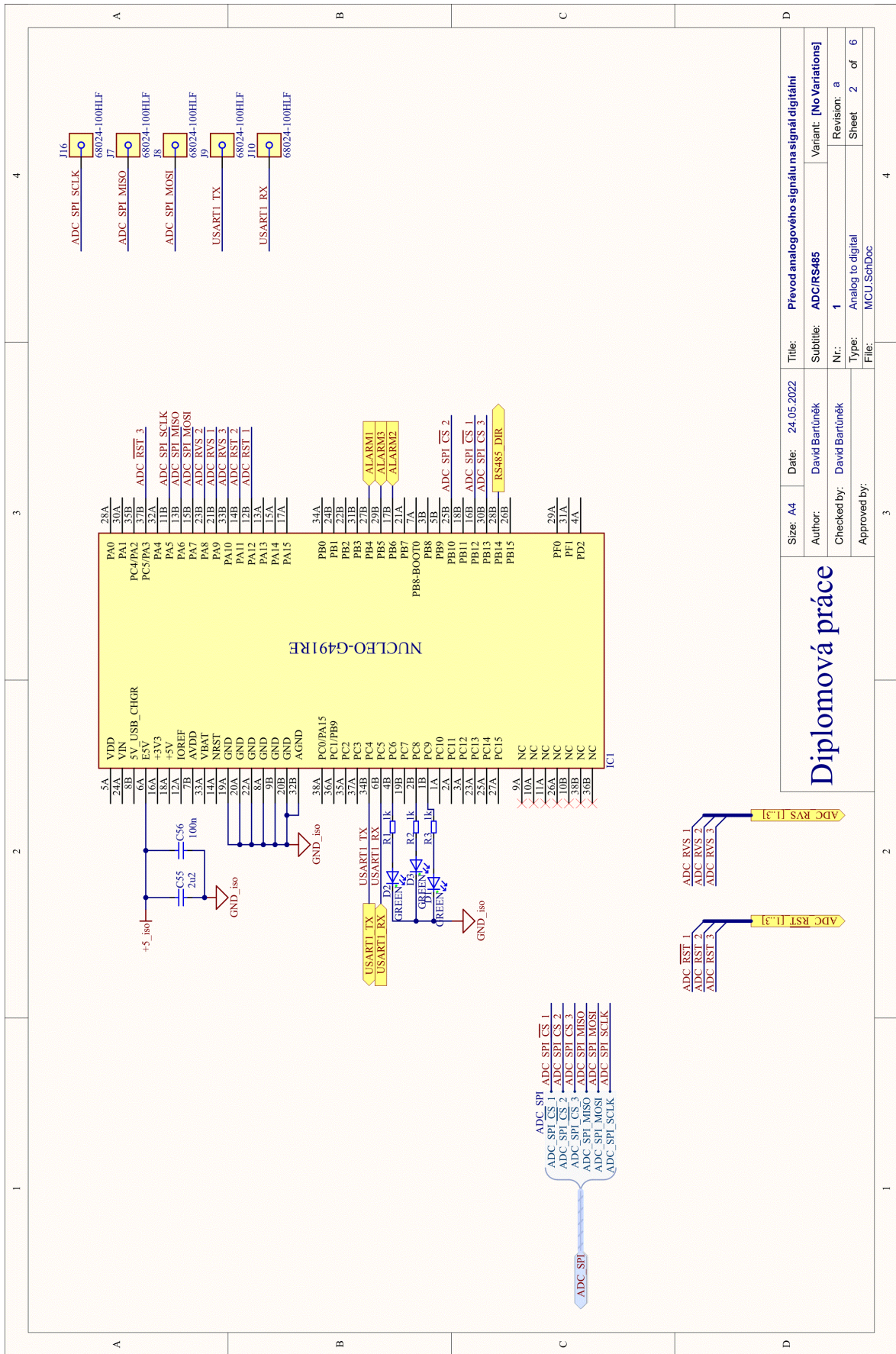
Příloha A. Schéma měřící jednotky .....	II
Příloha B – Výkres měřící jednotky .....	VIII
Příloha C – DPS měřící jednotky TOP a BOT .....	IX
Příloha D – Vrtání na měřící jednotce .....	X
Příloha E – Schéma Interface jednotky.....	XI
Příloha F - Výkres interface jednotky .....	XV
Příloha G - DPS interface jednotky TOP a BOT .....	XVI
Příloha H – Vrtání na iterface jednotce .....	XVII

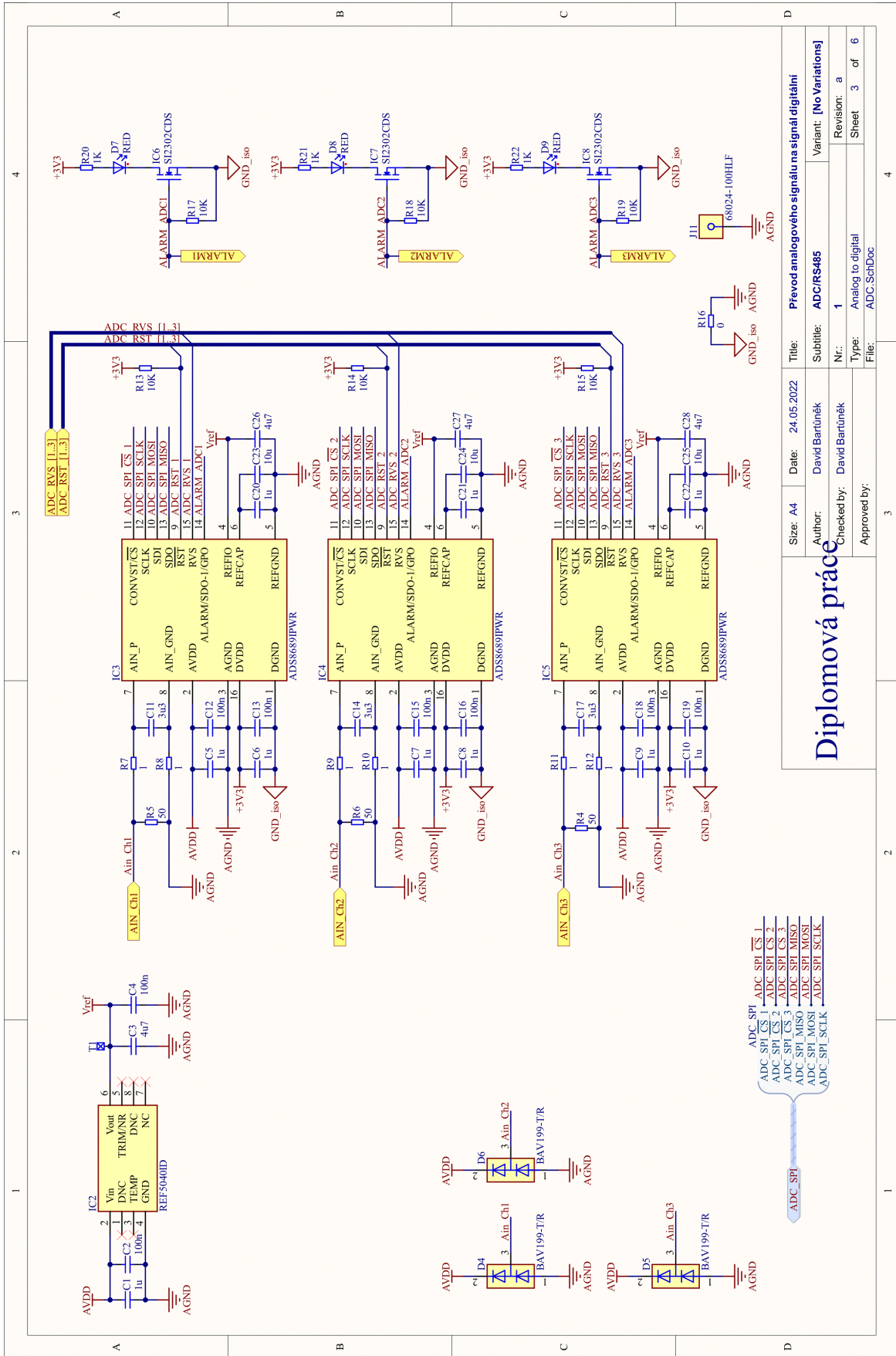
Příloha A. Schéma měřicí jednotky



<b>Diplomová práce</b>		Size: A4	Date: 24.05.2022	Title: Převod analogového signálu na signál digitální	
		Author: David Bartůněk	Subtitle: ADC/RS485	Variant: [No Variations]	
		Checked by: David Bartůněk	Nr.: 1	Revision: a	
		Approved by:	Type: Analog to digital	Sheet 1 of 6	
		File: Main.SchDoc			



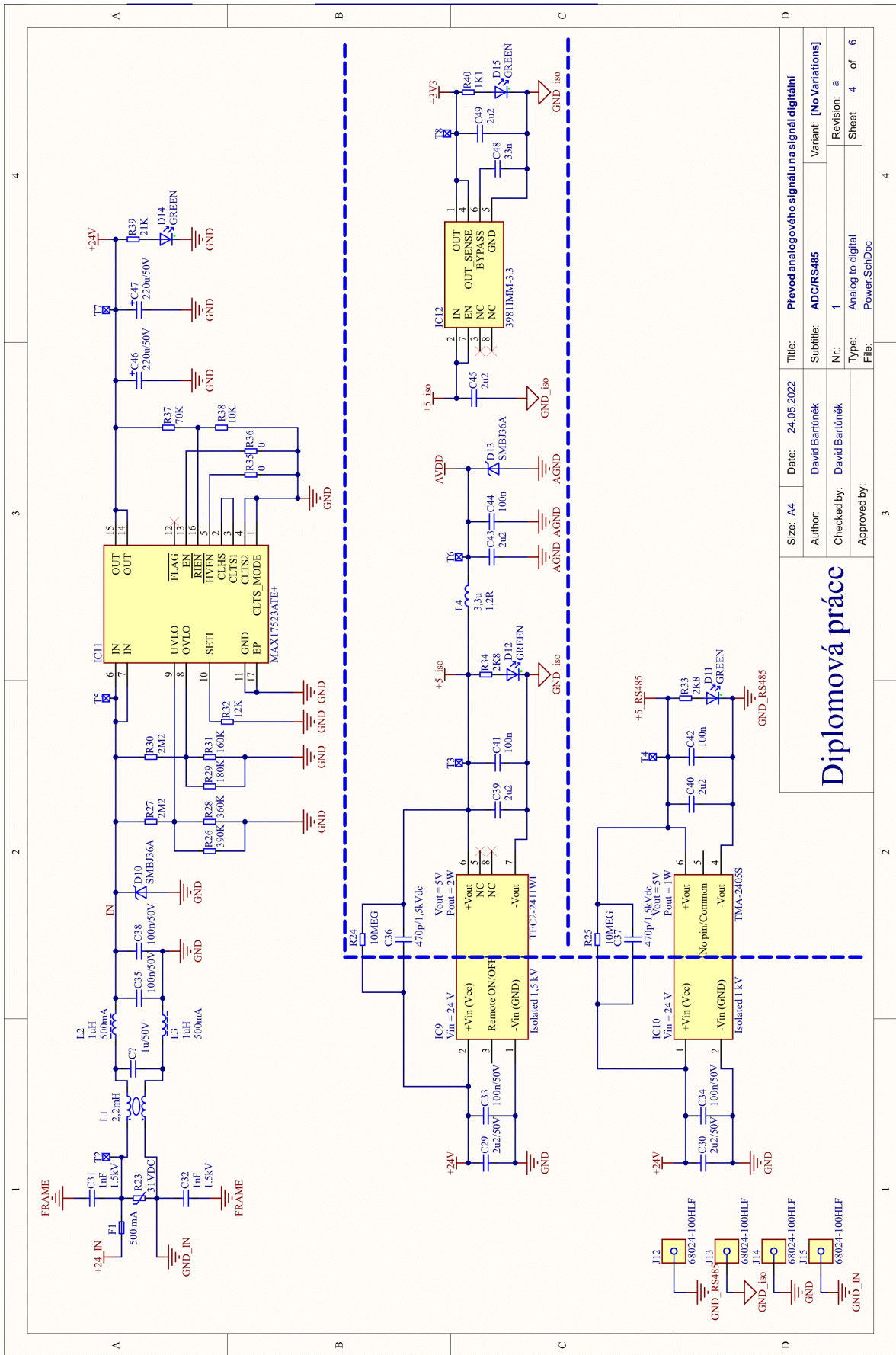


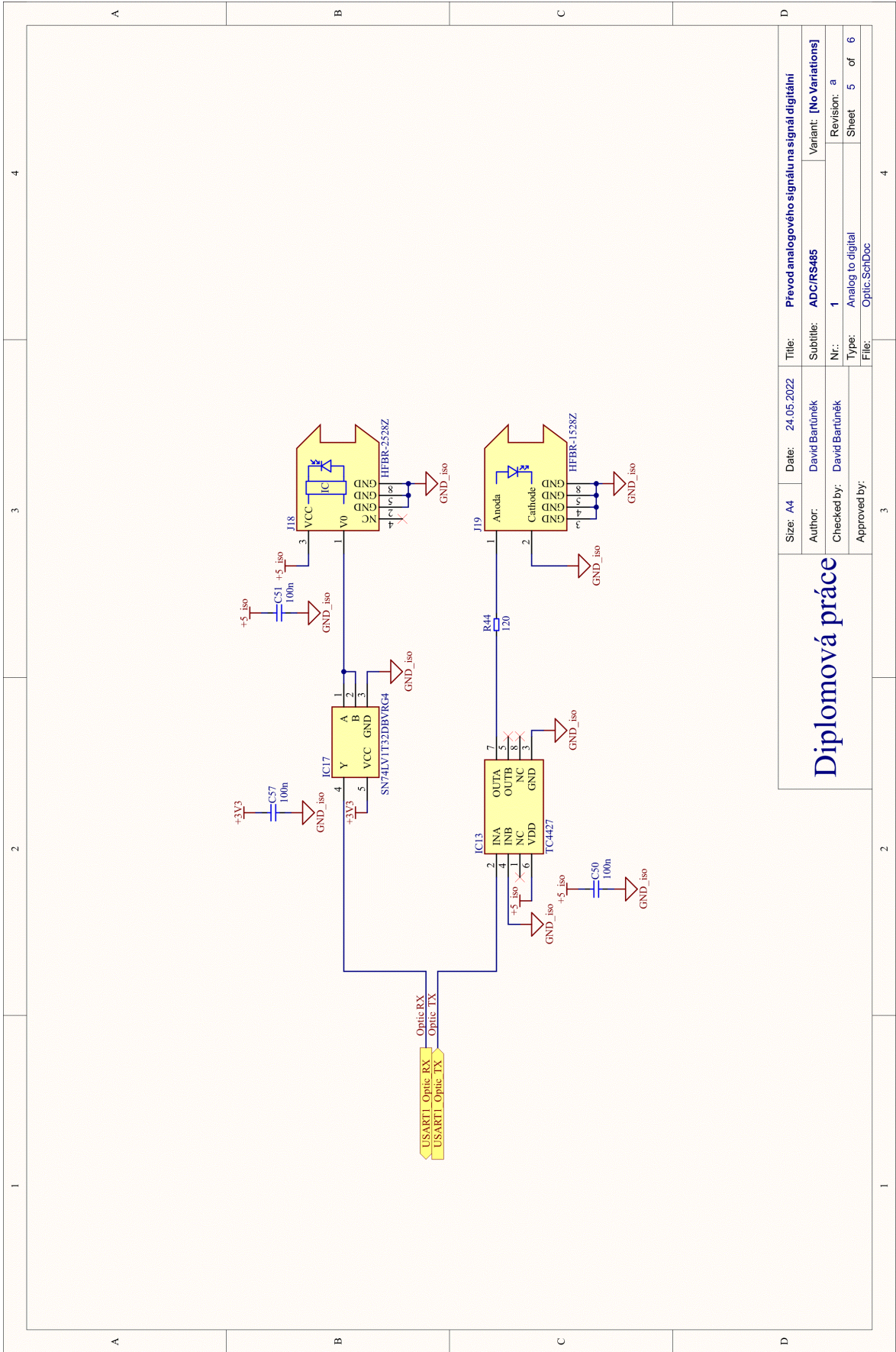


**Diplomová práce**

Title:	Prevod analogového signálu na signál digitální
Subtitle:	ADC/RS485
Variant:	[No Variations]
Nr.:	1
Type:	Analog to digital
Revision:	a
Sheet:	3 of 6
File:	ADC_SchDoc

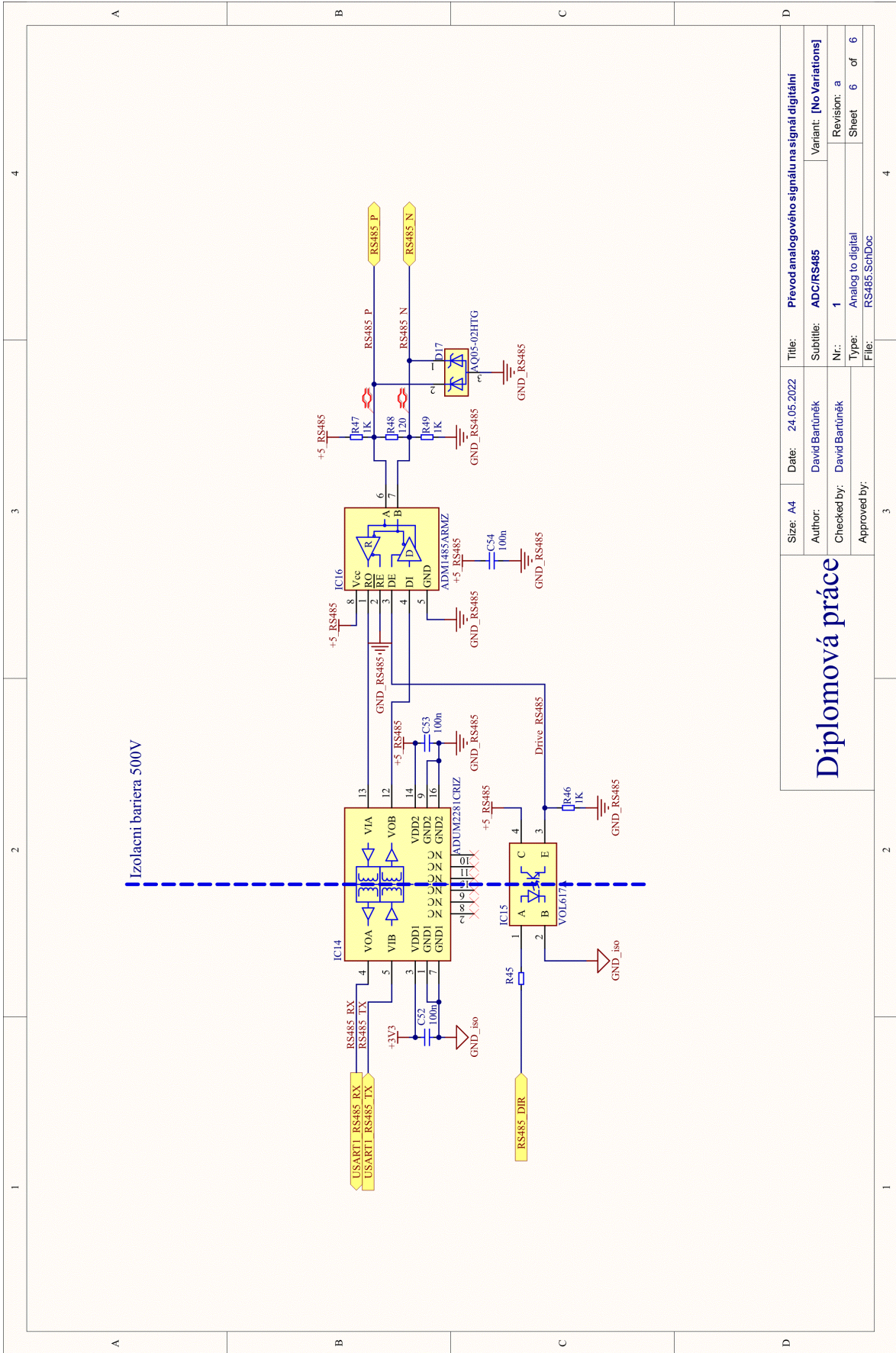
Size: A4  
Date: 24.05.2022  
Author: David Bartůněk  
Checked by: David Bartůněk  
Approved by:





## Diplomová práce

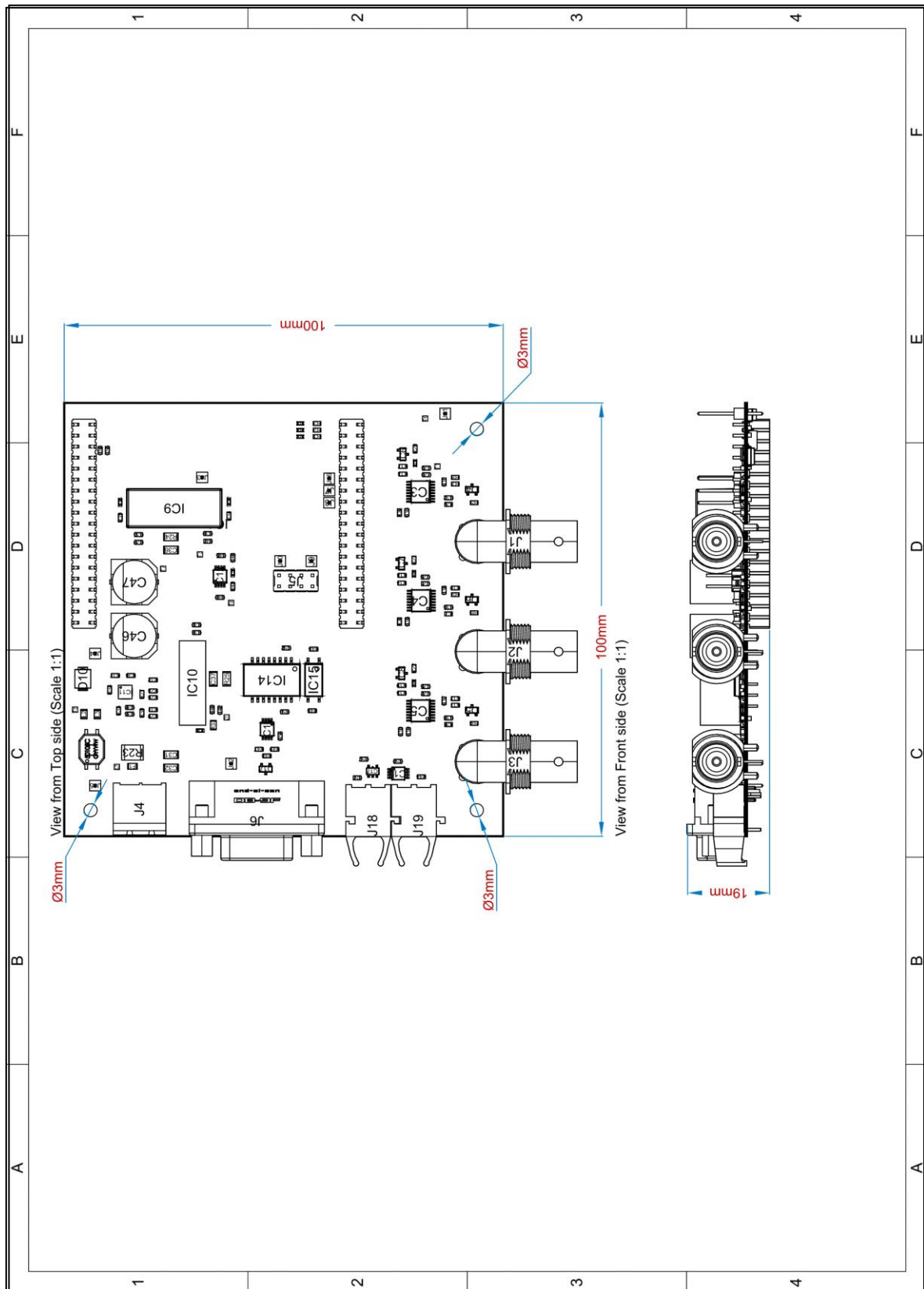
Size: A4	Date: 24.05.2022	Title: Převod analogového signálu na signál digitální
Author: David Bartůněk	Subtitle: ADC/RS485	Variants: [No Variations]
Checked by: David Bartůněk	Nr.: 1	Revision: a
Approved by:	Type: Analog to digital	Sheet 5 of 6
	File: Optic_SchDoc	



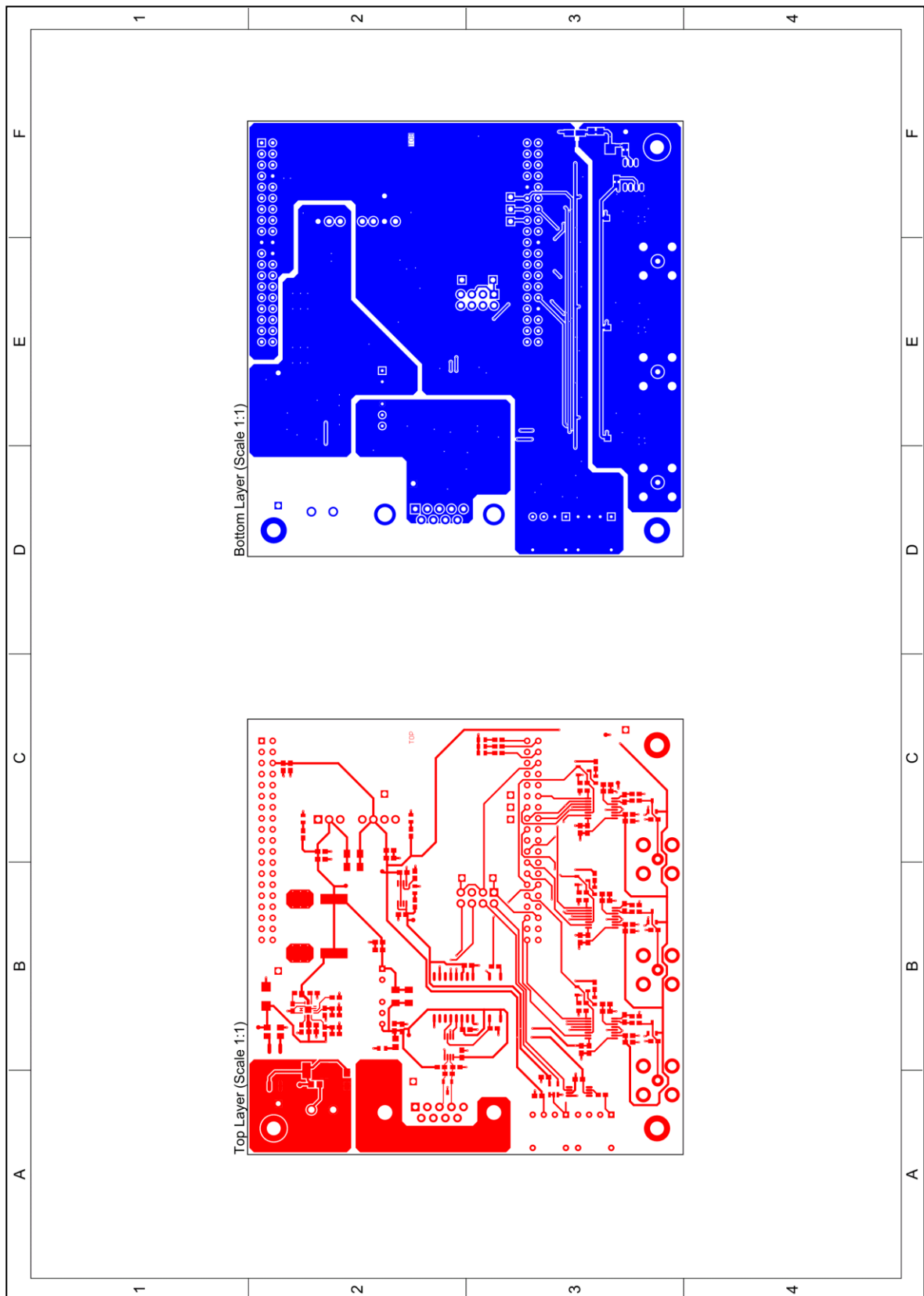
# Diplomová práce

Size: A4	Date: 24.05.2022	Title: Převod analogového signálu na signál digitální
Author: David Bartůněk	SubTitle: ADC/RS485	Variant: [No Variations]
Checked by: David Bartůněk	Nr.: 1	Revision: a
Approved by:	Type: Analog to digital	Sheet 6 of 6
	File: RS485_SchDoc	

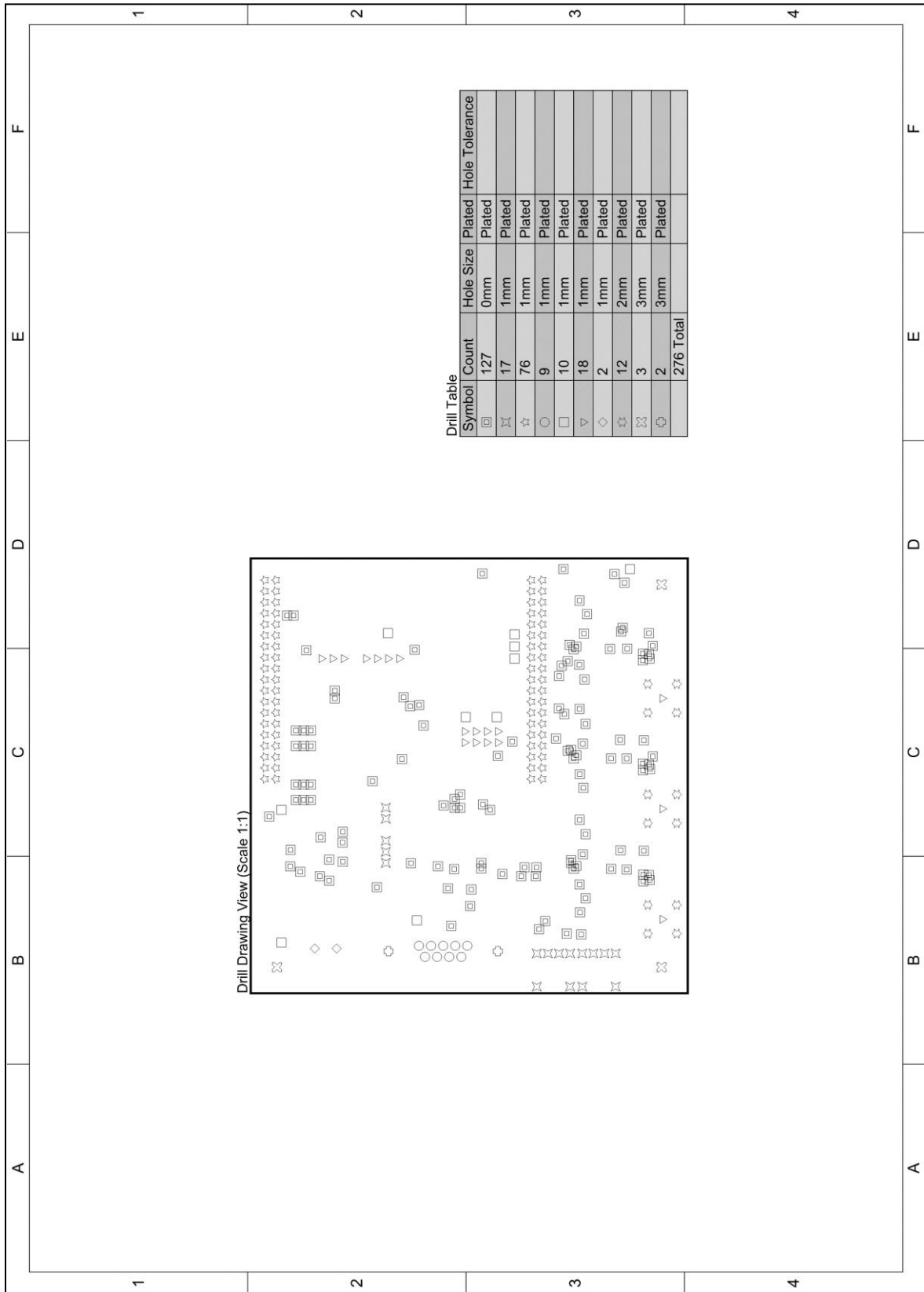
**Příloha B – Výkres měřicí jednotky**



**Příloha C – DPS měřicí jednotky TOP a BOT**

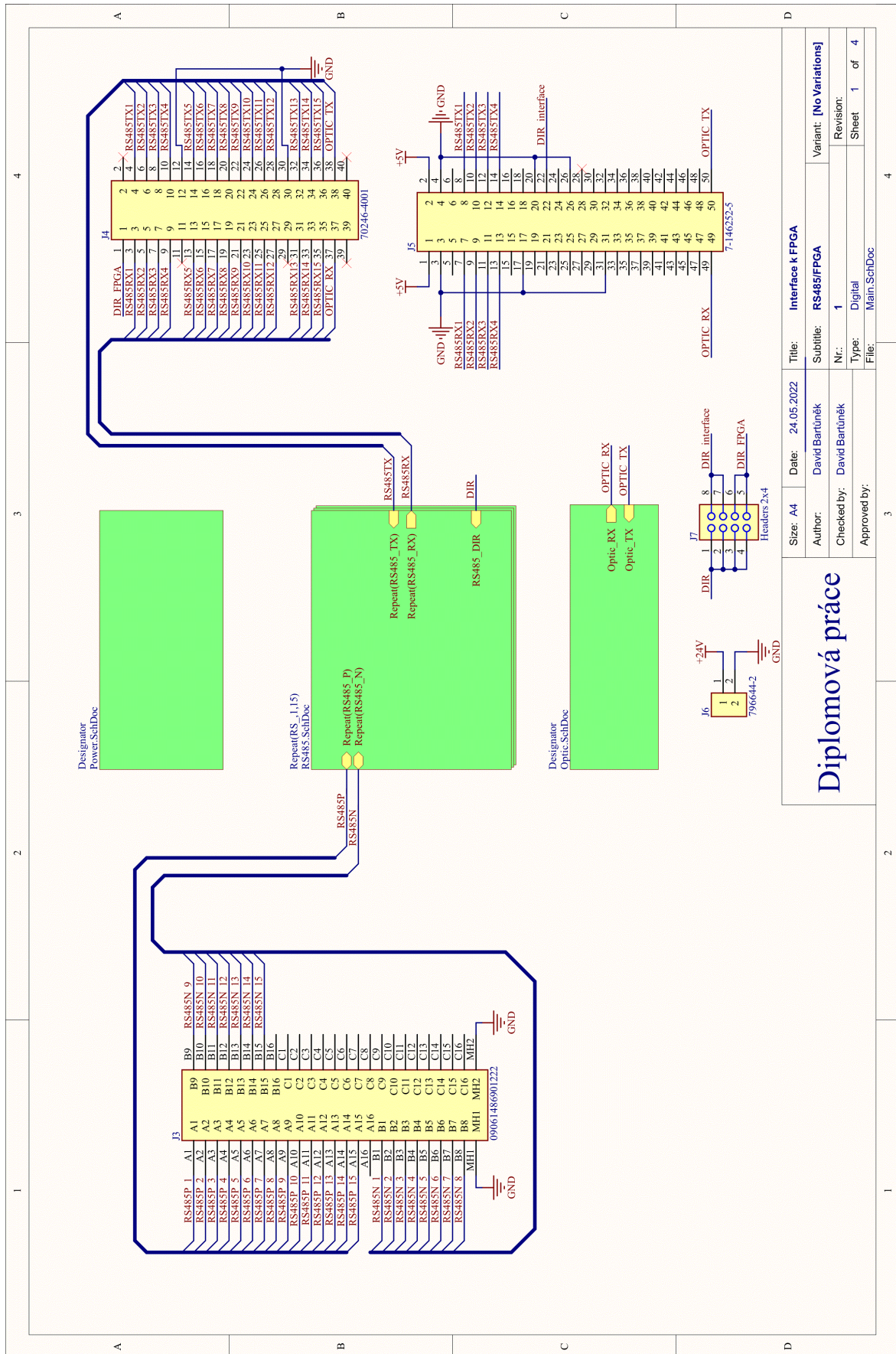


**Příloha D – Vrtání na měřící jednotce**



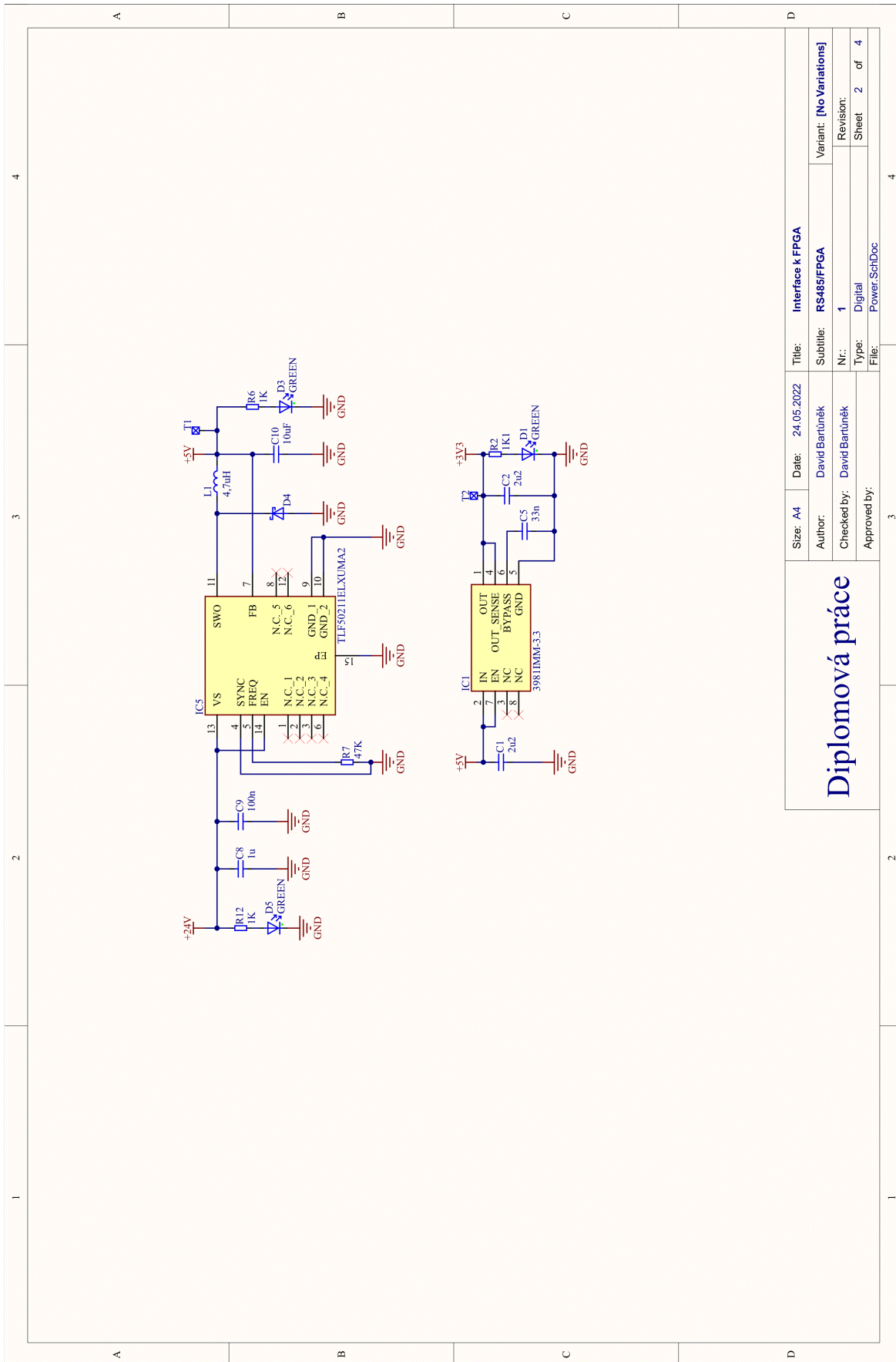


Příloha E – Schéma Interface jednotky



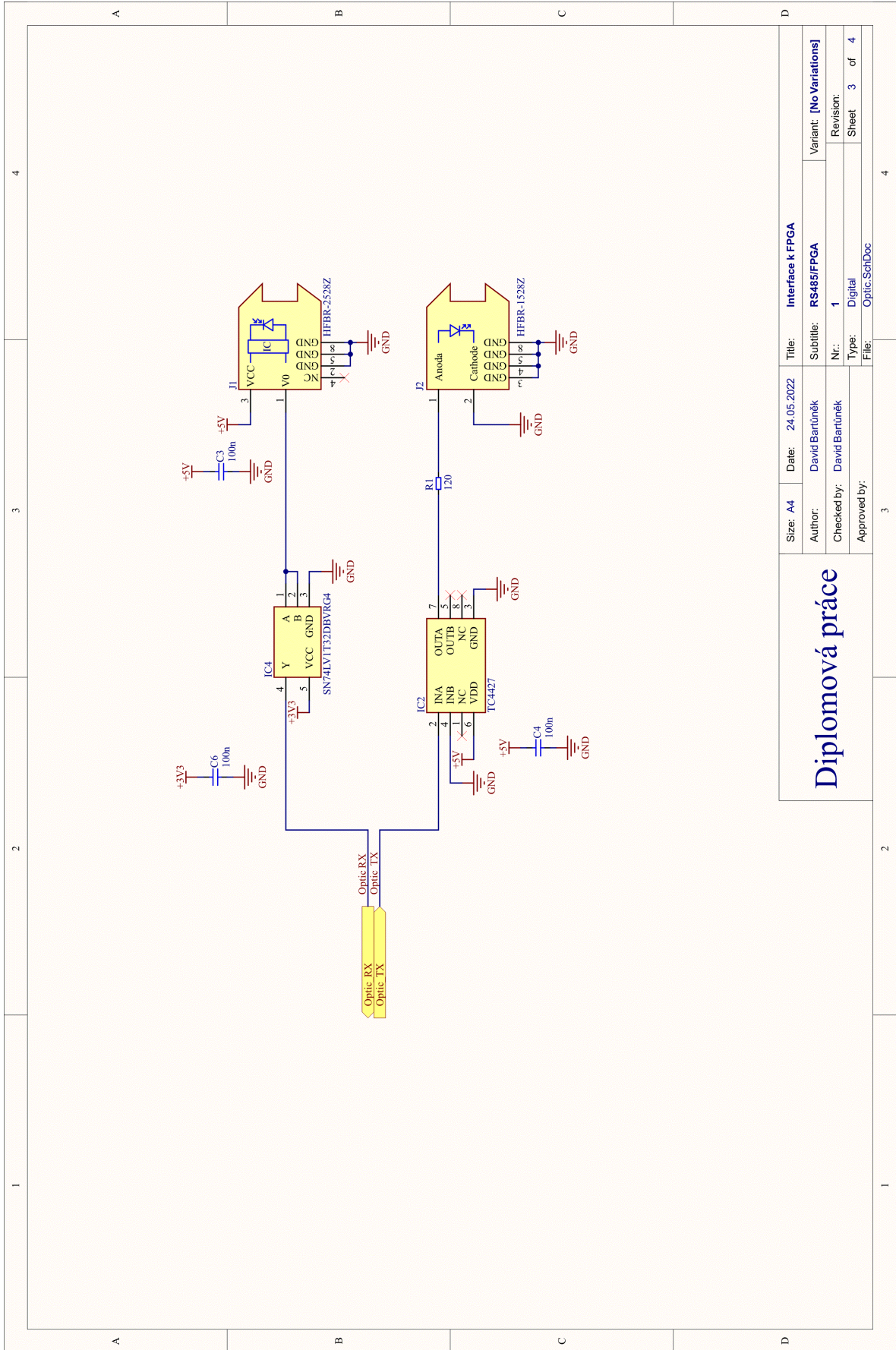
Size: A4	Date: 24.05.2022	Title: Interface k FPGA	Variant: [No Variations]
Author: David Bartůněk	Checked by: David Bartůněk	Subtitle: RS485/FPGA	Revision: 1
Approved by:	File: Main:SchDoc	Type: Digital	Sheet 1 of 4

Diplomová práce



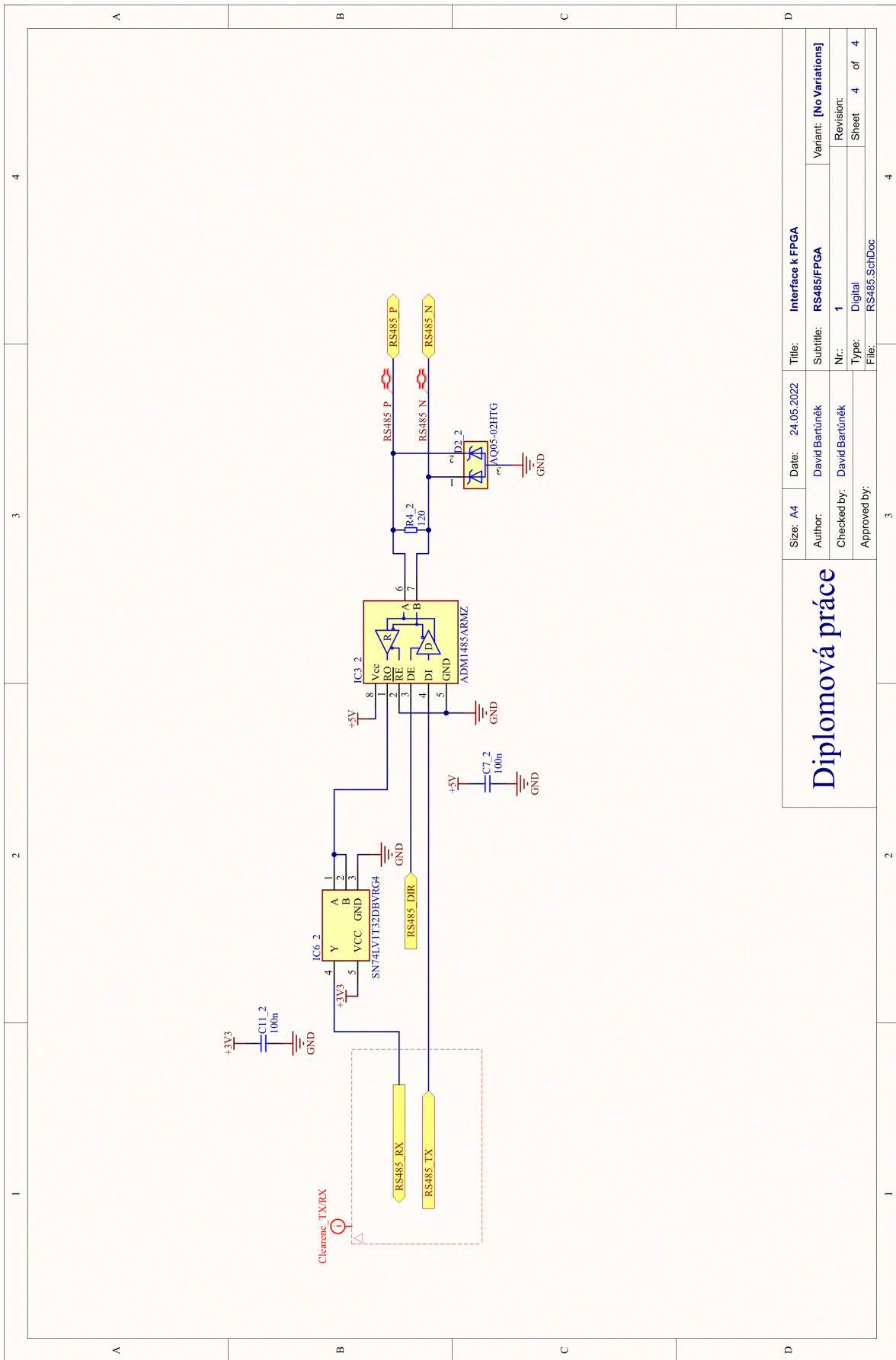
Size: A4	Date: 24.05.2022	Title: Interface k FPGA
Author: David Bartůněk	SubTitle: RS485/FPGA	Variant: [No Variations]
Checked by: David Bartůněk	Nr.: 1	Revision: 2 of 4
Approved by:	Type: Digital	Sheet 2 of 4
	File: Power.SchDoc	

Diplomová práce



Size: A4	Date: 24.05.2022	Title: Interface k FPGA
Author: David Bartunek	SubTitle: RS485/FPGA	Variant: [No Variations]
Checked by: David Bartunek	Nr.: 1	Revision: _____
Approved by: _____	Type: Digital	Sheet 3 of 4
	File: Optic_SchDoc	

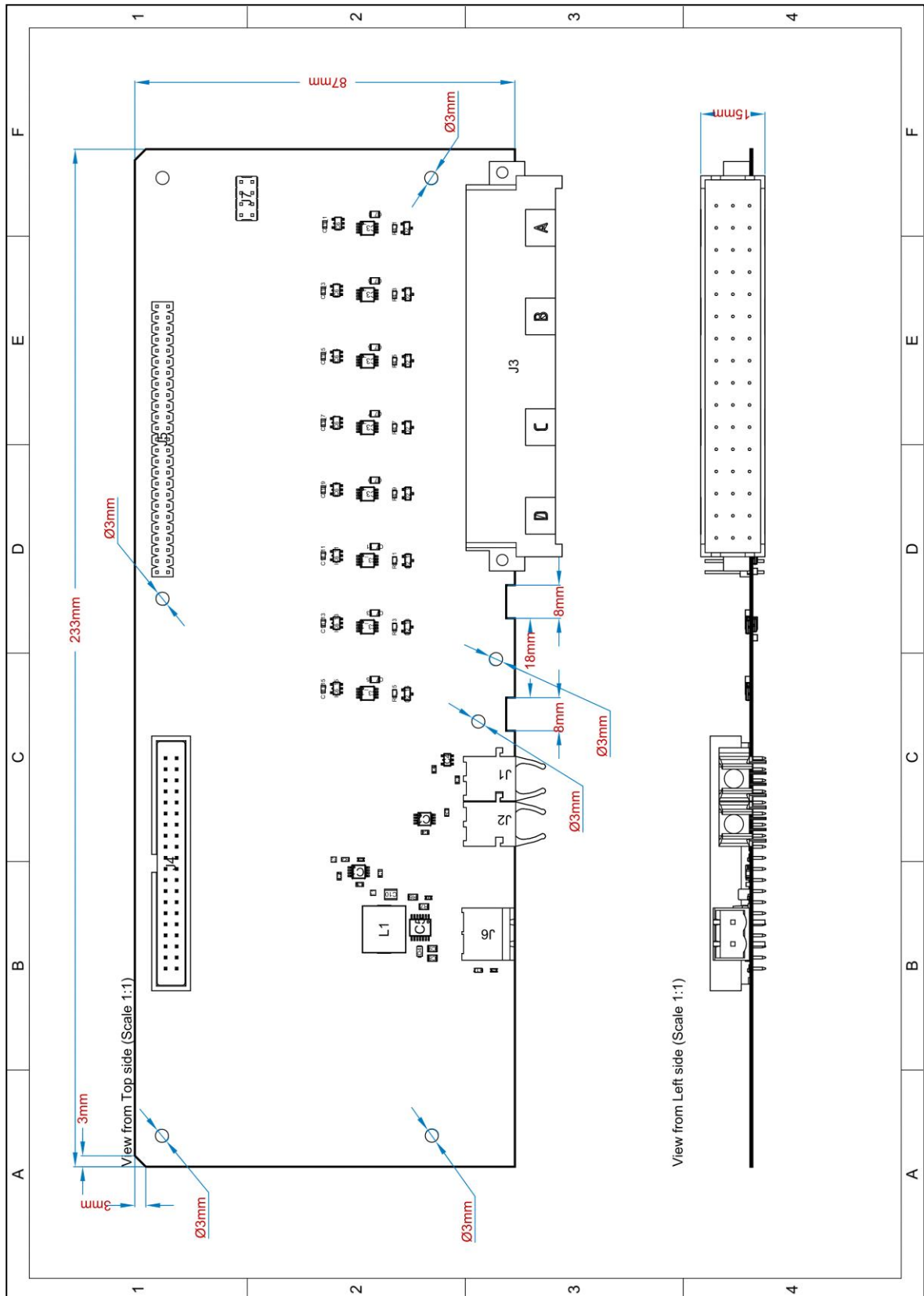
# Diplomová práce



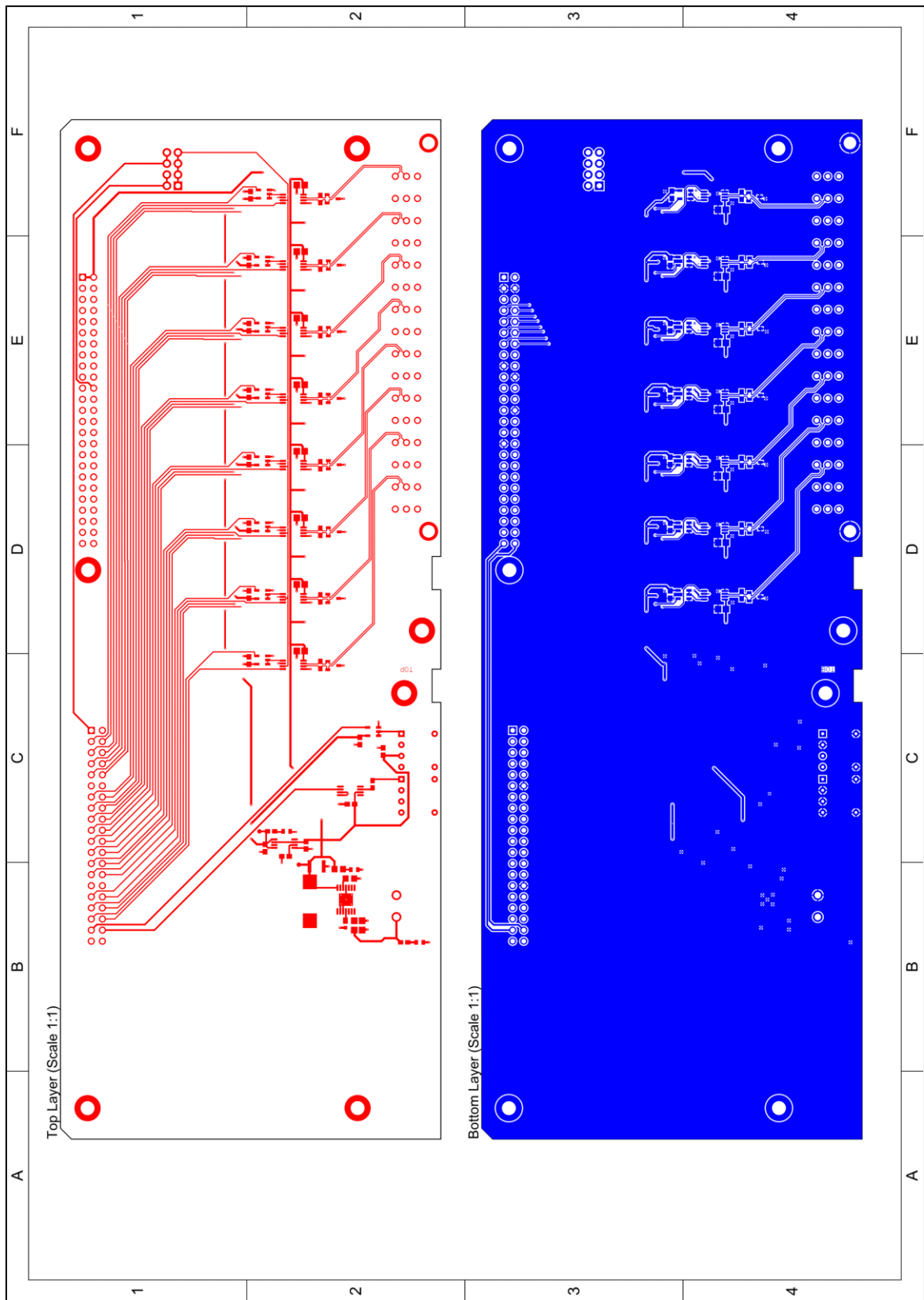
Size: A4		Date: 24.05.2022	Title: Interface k FPGA
Author: David Bartunek		Subitle: RS485/FPGA	Variant: [No Variations]
Checked by: David Bartunek		Nr.: 1	Revision: 4 of 4
Approved by:		Type: Digital	Sheet 4 of 4
		File: RS485.SchDoc	

Diplomová práce

**Příloha F - Výkres interface jednotky**



**Příloha G - DPS interface jednotky TOP a BOT**



**Příloha H – Vrtání na interface jednotce**

